

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
ЛУЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

КАГАНЮК О.К., ПОЛІЩУК М.М.

КОМП'ЮТЕРНА СХЕМОТЕХНІКА

Навчальний посібник

Луцьк – 2016

ББК 973.2-04я73-5
УДК 004.31 (075.8)
К175

Рекомендовано до друку Вченою радою
Луцького національного технічного університету
квітня 2016 року, протокол № .

Рецензенти:

- О. С. Мартинюк – д. пед. н., професор кафедри експериментальної фізики та інформаційно-вимірювальних технологій Східноєвропейського національного університету імені Лесі Українки;
- Є. Є. Федоров – д. т. н., доцент, завідувач кафедри комп'ютерних наук ДВНЗ “Донецький національний технічний університет”;
- О. В. Максимович – д. т. н., професор кафедри комп'ютерної інженерії Луцького національного технічного університету.

Каганюк О.К., Поліщук М.М.

К175 Комп'ютерна схемотехніка: Навчальний посібник. – Луцьк: РРВ Луцького НТУ, 2016. – 236 с.

Вданому навчальному посібнику представлені матеріали що до вивчення таких розділів, як Інформаційні основи цифрових автоматів, дискретизація аналогових сигналів, алгебра логіки та синтез цифрових електронних схем, логічні елементи, реалізація логічних функцій в різних елементних базах, параметри та характеристики інтегральних мікросхем, двійкові коди та системи числення, методи аналізу та синтезу комбінаційних схем, генератори тактових імпульсів на логічних елементах, функціональні пристрої цифрової комп'ютерної електроніки.

Розраховано на студентів інженерно-технічних спеціальностей вищих навчальних закладів.

ISBN 978-617-672-126-0

© О.К. Каганюк, М.М. Поліщук 2016

Передмова

Комп'ютерна схемотехніка – це науково-технічна дисципліна, яка дозволяє студентам опанувати інформаційні процеси, які протікають в різного роду обчислювальних машинах, які використовуються в різних галузях народного господарства.

Розвиток комп'ютерної схемотехніки в сучасній науці пов'язує в себе такі напрямки, як архітектура комп'ютерів, комп'ютерна електроніка, що дозволяє підвищити надійність різних пристроїв та їх удосконалення.

Передбачається, що студент вже знайомий з основами теорії електромагнітних кіл та електроніки, які необхідні для розуміння деякого матеріалу, який викладений в даному навчальному посібнику.

Основна увага приділялась доступному і якісному викладанню даного матеріалу. При цьому використано досвід авторів системного підходу щодо вивчення матеріалу.

Даний навчальний посібник призначений для студентів, які навчаються за спеціальностями «Комп'ютерні системи і мережі», «Інформаційні управляючі системи та технології». Книга базується на досвіді викладання одного із авторів в таких навчальних закладах, як Донецька академія автомобільного транспорту, кафедра спеціалізованих комп'ютерних систем, Луцький національний технічний університет, кафедра комп'ютерної інженерії.

У навчальному посібнику представлені матеріали щодо вивчення таких розділів, як інформаційні основи цифрових автоматів, дискретизація аналогових сигналів, алгебра логіки та синтез цифрових електронних схем, логічні елементи, реалізація логічних функцій в різних елементних базах, параметри та характеристики інтегральних мікросхем, двійкові коди та системи числення, методи аналізу та синтезу комбінаційних схем, генератори тактових імпульсів на логічних елементах, функціональні пристрої цифрової комп'ютерної електроніки.

Учебний посібник може бути використаний в якості основного навчального посібника для курсів по спеціальності, так і для самостійної підготовки.

Автори вдячні рецензентам –

слушні зауваження

Всім, хто приймав участь в роботі над посібником, виражаємо сердечну вдячність.

ЗМІСТ

ВСТУП.....	9
РОЗДІЛ 1. ІНФОРМАЦІЙНІ ОСНОВИ ЦИФРОВИХ АВТОМАТІВ.....	11
1.1. Інформація та загальні принципи її перетворення.....	11
1.2. Системи счислення	17
1.3. Двійкові коди	24
Контрольні тести:	33
РОЗДІЛ 2 . ДИСКРЕТИЗАЦІЯ АНАЛОГОВИХ СИГНАЛІВ.....	36
2.1 Квантування за рівнем	36
2.2 Квантування за часом	37
2.3 Квантування за рівнем і за часом	38
2.4. Розрахунок похибки АЦП	39
2.5 Вибір величини кроку квантування за часом	40
РОЗДІЛ 3. АЛГЕБРА ЛОГІКИ І СИНТЕЗУ ЦИФРОВИХ ЕЛЕКТРОННИХ СХЕМ.....	42
3.1 Основні положення алгебри логіки.....	42
3.2. Способи встановлення логічних функцій	44
3.3. Основні закони формальної логіки	48
3.4 Аксіоми алгебри	50
3.5 Основні тотожності алгебри логіки.....	50
3.6 Функцій однієї змінної.....	51
3.7 Функції двох змінних	53
3.8 Базисні логічні функції	53
3.9 Принцип двійкової булевої алгебри	54
3.10 Ідеальна диз'юнктивна нормальна форма (ІДНФ) написання булевих виразів.....	54
3.11 Диз'юнктивна нормальна форма (ДНФ)	55
3.12 Ідеальна кон'юнктивна нормальна форма (ІКНФ) написання булевих виразів.....	56

3.13 Кон'юнктивна нормальна форма (КНФ).....	56
3.14 Мінімізація логічних функцій	57
3.14.3 Мінімізація за допомогою діаграм Вейча	58
3.14.3.1. Загальні правила мінімізації	60
3.14.3.2 Приклади мінімізації перемикальних функцій за допомогою діаграм Вейча	61
3.14.4 Мінімізація перемикальних функцій за допомогою карт Карно	67
РОЗДІЛ 4. ЛОГІЧНІ ЕЛЕМЕНТИ	70
4.1 Інвертор (логічний елемент «НІ»).....	70
4.2 Кон'юктор (логічний елемент «І»).....	71
4.3 Диз'юнктор (логічний елемент «АБО»).....	73
4.4 Повторювач	74
4.5 Логічний елемент «І-НІ»).....	75
4.6 Логічний елемент «АБО-НІ»	76
4.7 Логічний елемент «Виключаючи АБО»).....	76
4.8 Логічна функція «сумування по модулю два» (непарність)	77
4.9 Логічна функція «сумування по модулю два» з відмовою (парність)	78
4.10 Логічна функція «Еквівалентність»	79
4.11 Логічна функція «Нееквівалентність»	80
4.12 Логічна функція «І-АБО-НІ»)	81
4.13 Логічна функція «Заборона»).....	82
4.14 Логічні елементи з відкритим колектором	83
4.15 Логічні елементи з третім станом.....	86
4.16 Базова логіка.....	87
4.16.1 Серії КМОН. ЕЗЛ	87
РОЗДІЛ 5. РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ В РІЗНІ БАЗИ	102
5.1 Базисні набори ЛЕ і їх взаємозв'язок.....	102
5.2 Реалізація логічних функцій в різних базисах.....	104
5.2.1 Реалізація елемента «Рівнозначність» (виключаючи АБО-НІ).....	104

5.2.2 Реалізація елемента «Нерівнозначність» (виключаюче АБО, сума по модулю два).....	105
5.2.3 Реалізація елемента «Заборона»	106
5.2.4 Реалізація багатобуквених логічних функцій на елементах з невеликою кількістю входів	107
РОЗДІЛ 6. ПАРАМЕТРИ І ХАРАКТЕРИСТИКИ ЦИФРОВИХ ІНТЕГРАЛЬНИХ МІКРОСХЕМ (ІМС)	109
6.1 Коефіцієнт об'єднання входу ($K_{об}$).....	109
6.2 Коефіцієнт розгалуження по виходу ($K_{рпв}$).....	110
6.3 Статичні характеристики	110
6.4. Завадостійкість	110
6.5 Динамічні характеристики і параметри	111
6.6. Вид реалізованої логічної функції	112
6.7. Споживані струми і потужність	112
6.8. Вхідні та вихідні струми, напруги	113
6.9. Порогові напруги	113
6.10. Допустимі значення основних параметрів	113
РОЗДІЛ 7. ЕЛЕМЕНТНА БАЗА З РЕАЛІЗАЦІЇ БАЗОВИХ ЛОГІЧНИХ ЕЛЕМЕНТІВ.....	115
7.1 Базовий ТТЛ (ТТЛШ) - елемент І-НЕ.....	115
7.2 Базовий ЕЗЛ - елемент АБО / АБО-НІ.....	120
7.3 Базовий КМОН-елемент АБО-НІ	120
РОЗДІЛ 8. МЕТОДИ АНАЛІЗУ І СИНТЕЗУ КОМБІНАЦІЙНИХ СХЕМ...	124
8.1 Канонічний метод синтезу комбінаційних схем	126
8.2 Характеристики комбінаційних схем	130
8.3 Системи (серії) логічних елементів та їх основні характеристики.....	131
8.4 Синтез КС з урахуванням обмеження на $K_{об}$	133
8.5 Аналіз комбінаційних схем	136
8.6 Аналіз комбінаційних схем методом π -алгоритму	136
8.8 Аналіз КС методом синхронного моделювання	140

8.9 Аналіз КС методом асинхронного моделювання	140
РОЗДІЛ 9. ГЕНЕРАТОРИ ТАКТОВИХ ІМПУЛЬСІВ (ГТІ) НА ЛОГІЧНИХ ЕЛЕМЕНТАХ	145
9.1 ГТІ на двох інверторах	145
9.2 ГТВ на 3-х інверторах.....	147
9.3. Генератори електричних сигналів	148
9.3.1 Теоретичні відомості та розрахункові співвідношення	148
Завдання до розділу 9.....	171
Приклад виконання завдання.....	177
РОЗДІЛ 10. ФУНКЦІОНАЛЬНІ ПРИСТРОЇ КОМП'ЮТЕРНОЇ (ЦИФРОВОЇ) ЕЛЕКТРОНІКИ	180
10.1 Аналіз і синтез КЦП.....	180
10.1.1 Аналіз КЦП.....	180
10.1.2 Синтез КЦП	180
10.2 Типові КЦП.....	183
10.2.1 Шифратори і дешифратори.....	183
10.2.2 Мультиплексори і демюльтиплексори	196
10.2.3 Суматори і півсуматори	201
10.2.4 Пристрої контролю парності (ПКП).....	206
10.2.5 Цифрові компаратори.....	208
10.3 Використання для проектування КЦП мультиплексорів, дешифраторів і постійних запам'ятовуючих пристроїв.....	209
10.3.1 Побудова КЦП на мультиплексорах	210
10.3.2 Побудова КЦП на дешифратор.....	212
10.3.3 Побудова КЦП на постійному запам'ятовуючому пристрої (ПЗП)	214
РОЗДІЛ 11. КОДИ, ЩО РОЗПІЗНАЮТЬ ПОМИЛКИ.....	216
11.1. Поняття надлишковості	216
11.2. Додатковий двійковий код.....	217
11.3. Код «2 із 5»	219
11.4. Код «3 із 5»	220

11.5. Код «2 із 7»	222
11.6. Принцип дії кодів, що виправляють помилки	223
11.7. Код Хеммінга	224
Завдання до роділу 11	229
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ	234

ВСТУП

Одним із основних завдань комп'ютеризованих систем управління та автоматики (інформаційно-управлінських систем) є передача, перетворення та обробка інформації. Основною ланкою таких систем є джерело інформації, з якого він отримує інформацію про об'єкт керування (інформація). Остання передається у вигляді повідомлень, які представляють послідовність чисел в тій чи іншій системі числення. Такий процес відображення інформації називається кодування, а повідомлення, відображені тим чи іншим кодом, називаються дискретними повідомленнями.

Оскільки основним елементом сучасних систем інформації та управління комп'ютером (мікропроцесор, однокристальна мікро-ЕОМ, персональна ЕОМ), обробка інформації здійснюється в цифровому вигляді, і дискретні повідомлення зазвичай представляються двійковим кодом (ДК). Код – це правило, відповідно до якого дискретне повідомлення представлено у вигляді чисел у певній системі числення. У цифровій електроніці крім ДК використовуються десяткові, вісімкові та шістнадцяткові коди.

Ім'я коду визначається системою числення, що використовуються для представлення повідомлень. Детальніше основні системи числення, використовуються у цифровій електроніці та мікропроцесорній техніці, розглядаються в літературі.

Нижче зупинимося на кількох основних термінах, які будуть використовуватися нами в подальшому.

Системи числення (СЧ) – спосіб запису чисел за допомогою певних символів, найчастіше арабських цифр, але інколи і латинські літери, наприклад, у шістнадцятковій системі числення.

Основа СЧ – визначається кількість символів, які використовуються в числення. Наприклад, двійкова система числення має основу два, десяткова – десять і т. д.

Розрядності чисел. Кожне число характеризується кількістю розрядів. Розряд – це місце, яке займає цифра (літера) в числі. Крайній правий розряд в числі

називається нульовим (початковим, молодшим або молодшим значущого розрядом (МЗР)). Якщо кількість розрядів дорівнює n , то крайньої лівий розряд називається $(n-1)$ -м (старшим або старший значущого розряду (СЗР)).

Вага розряду. Дорівнює основі СЧ, зведеному в степінь, рівну номерам розрядів, що нумеруються від 0 до $(n-1)$. Наприклад, якщо розглянути 3-х розрядне десяткове число, тоді вага його розрядів дорівнює:

нульовий – $10^0 = 1$;

перший – $10^1 = 10$;

другий – $10^2 = 100$;

Аналогічним чином, вага трьохрозрядного двійкового числа дорівнює:

нульовий – $2^0 = 1$;

перший – $2^1 = 2$;

другий – $2^2 = 4$.

Вага використовується для визначення десяткового еквівалента чисел.

Наприклад, десятковий еквівалент двійкового числа 10110 рівне:

$$1 \cdot 2^4 + 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 22$$

Числа, які представлені у двійковій системі числення (двійковим кодом), повинні містити праворуч від МЗР латинську букву B , у десятковій системі – D , шістнадцятко вий – H . Якщо буква відсутня, тоді по замовчуванню комп'ютер (мікропроцесор рахує число, представленим у десятковій системі числення.

Для передачі повідомлень використовуються певні фізичні процеси (сигнали), однозначно відображає повідомлення, яке передається, з певною точністю. У цифровій (комп'ютерній) електроніці використовуються цифрові сигнали, які приймають один із двох рівнів (значень): низький і високий. Низький рівень сигналу називається нульовим (нулем), а високий – одиничним (одиницею). Таке представлення сигналів має місце в так званій «позитивній логіці». Іноді використовується "від'ємна логіка", у якій низький рівень сигналу називають одиницею, а високий – нулем.

РОЗДІЛ 1

ІНФОРМАЦІЙНІ ОСНОВИ ЦИФРОВИХ АВТОМАТІВ

1.1. Інформація та загальні принципи її перетворення

В основу обчислювальної техніки закладені інформаційні процеси, пов'язані зі збору та обробки інформації, її передача, зберігання, розповсюдження, відображення, запис, читання, т. д. всі ці процеси в кінцевому рахунку можна виділити відрізнити чотири основних процесів або процедур: *отримання інформації, трансфер, зберігання та переробки*. Реалізація всіх цих процедур у загальному випадку супроводжується перетворенням фізичного носія інформації та форми його представлення.

Не зупиняючись на складній проблемі формалізованого визначення поняття інформації, будемо вважати, що інформація є відомості про ті чи інші явища та об'єкти (наприклад: звіти про погоду, археологічні, політичних тощо), точніше – відомості про певні властивості або параметри цих явищ або об'єктів та про залежності між цими властивостями.

Інформація, втілена та зафіксована у деякій матеріальній формі, називається повідомленням, а фізичні засоби передачі повідомлення – сигнал. Або іншим чином: сигнал – це процес зміни у часі деякого фізичного параметра $S(t)$ будь-якого об'єкта, який використовується для відображення, реєстрації та передачі повідомлення.

Характер зміни сигналу з часом може бути представлений графічно, у вигляді осцилограми, за допомогою таблиці, в яку вносять значення S_i в i - ті моменти часу, аналітично.

Теоретичні дослідження сигналу і його розрахунків з використанням цих або інших методів математичного опису тобто, створити математичну модель сигналу. Тобто, при створенні такої моделі описує тільки властивостями, які здаються об'єктивно важливі і ігнорується, велика кількість другорядних ознак.

В якості математичної моделі сигнал може бути прийнятий, наприклад, функціональна залежність, аргумент, який є часом.

$S = (f) (t)$. З цією моделлю, зрозуміло, що причиною зміни S являється не сам час, а деяка інша фізична величина. Тому точніше сказати, що маркування сигналів через $S (t)$, $q (t)$ застосовує модель, яка описує зміну значення S , q ,... в часі.

Існують різні типи сигналів:

- *безперервний, тобто аналоговий;*
- *дискретні;*
- *квантовані;*
- *кодовані (цифровий);*
- *модульовані;*
- *імпульсні, тощо.*

Практично при будь-якій обробці інформації здійснюються ті чи інші перетворення сигналів.

Перетворення сигналів застосовується, коли змінюється носій інформації, або функції, яка передається за певним законом і забезпечує індивідуальну відповідність між входом і виходом.

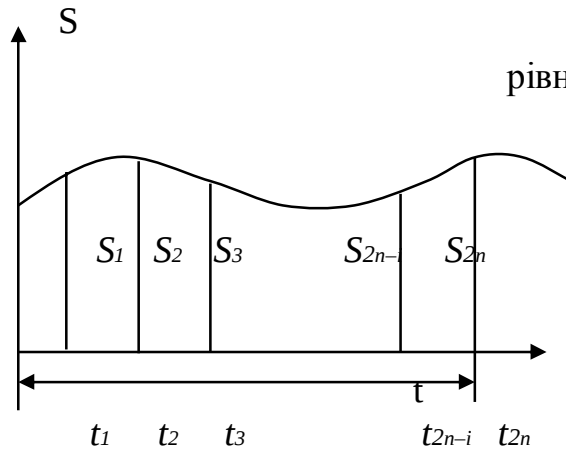
У випадку безперервного вхідного сигналу найбільш часто використовується процедура зміни типу сигналу - її дискретизації.

Дискретний сигнал описує функцію решітки (послідовність, часових рядів) $X (nt)$, в якому значення в X може приймати будь-які значення з проміжку $[X', X'']$, в той час як незалежна змінна (n) приймає тільки дискретні значення $n = 0; 1; 2; ... t$ -інтервал (крок) дискретизації. Дискретизація безперервної сигналу $S (-t)$ можуть вироблятися в часі або відповідно до рівня. Останній випадок дискретизації, зазвичай називають як *параметр квантування*.

Коли дискретизація сигналу $S (t)$ здійснюється в часі, безперервний сигнал $S (t)$ замінюється на послідовність імпульсних сигналів, амплітуда яких відповідає значення безперервного сигналу в дискретні моменти часу nt .

У цьому випадку, значення t рівний часовому інтервалу, який потім $f_D = 1 / t$ є циклічна частота, і $D = 2 f_D$ відповідно кругова частота.

Приймаємо, що сигнал $S(t)$ заданий або графічно або у вигляді таблиці, де внесені його значення в межах періоду часу T через певні проміжки часу, тобто період T поділений в даному випадку на $2(n)$ рівних частин (рисунок. 1. 1).



Тоді, абсциси точок розподілу будуть рівні: $t_k = (kT) / 2(n)$, а ординати в цих точках: $S_k = f(t_k)$ де $k = 0, 1, 2, \dots, 2n$.

Рисунок 1.1 – Дискретизація сигналу

Де, S_k значення амплітуди сигналу $S(t)$ (k)-ий момент часу.

Якщо безперервної сигналу такий вираз: $S(-t) = S_m \sin t$, то після дискретизації в часі цей сигнал описується рівнянням:

$$S(nt) = S_m \sin nt \quad (1.1)$$

В результаті дискретизації первісна функція $S(t)$ замінюється поєднанням окремих значень S_k , що може бути використано для відновлення первісну функцію $S(-t)$ з деяким запасом похибки. Функція отримана в результаті такого відновлення (інтерполяції), називається відтворюючою. Для відтворення функції, що необхідно представити, найбільш часто використовують степеневі алгебраїчні многочлени, у вигляді:

$$V(t) = \sum_{i=0}^n a_i t^i \quad (1.2)$$

де, n - степінь многочлена; a_i - дійсні коефіцієнти.

При дискретизації сигналів необхідно вирішити, як часто виконувати розрахунки функцій, тобто те, який повинен бути крок (квантування) дискретизації.

Відповідно до теореми В.А. Котельнікова, якщо функція $S(t)$ не містить частот вище за F_m , потім вона повністю визначається її миттєвих значень в момент часу, розташованими на величину $1 / 2(F_m) = t$ – крок час дискретизації;

$S_k = S(k t)$ - миттєві значення сигналу $S(t)$, k -ої відлікової точки.

$$t_k = k / m = (k) / 2(F_m) = t_k \quad (1.3)$$

З теореми випливає, що для однозначного представлення функції з обмеженим діапазоном на інтервалі часу T достатньо мати деякі n значення функції, де:

$$n = T / t = 2 F_m T \quad (1.4)$$

Коли виконується ця рівність, безперервна і дискретна функцій оборотні між собою, тобто, тотожні.

Таким чином, довільний сигнал, діапазон якого не містить частот вище F_m , може бути представлений у вигляді послідовності імпульсів, амплітуди яких дорівнює значенню вихідного сигналу в дискретні моменти часу $k t$ - і проміжки часу між ними $t = 1/2 F_m$.

З приведених вище формулювань теореми Котельнікова слідує, що для вибору оптимального кроку дискретизації необхідно зробити кількісну оцінку всіх значних гармонік спектрального розкладу неперервного оригінальний безперервної сигналу для надходження значень F_m , тобто m .

Розглянемо параметр сигналу квантування [1].

В діапазоні неперервних величин функція $f(t)$ вибирається скінченну кількість дискретних значень функцій, наприклад, рівномірно розподілених на

весь діапазон. У будь-який час значення функції $f(t)$ замінюється з найближчого дискретних параметра значення функції тим самим функція набуває ступінчатий зовнішній вигляд. (рисунок. 1.2).

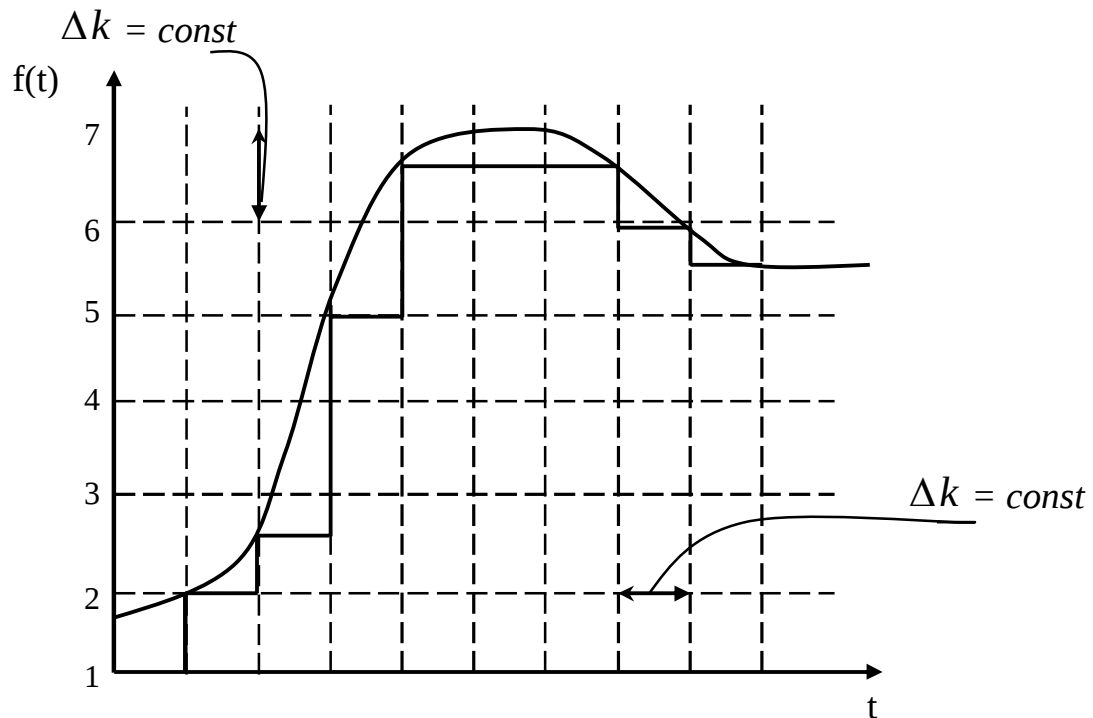


Рисунок 1.2 – Ступінчатий зовнішній вигляд функції

Крок квантування параметру називається різниця між сусідніми дискретними значенням функції.

Для рівномірного квантування крок квантування рівний:

$$k = (f_{\max} - f_{\min}) / (q - 1) \quad (1.5)$$

де, q - кількість кроків квантування.

Абсолютна похибка квантування параметру може змінюватись від 0 до $K/2$. Середньоквадратична похибка квантування, коли рівномірний розподіл приведеної похибки від 0 до $0,5 K$ дорівнює:

$$K = K / 2\sqrt{3} \quad (1.6)$$

Коли значення параметра квантування сигналу отримує деяке число (код) із скінченної множини вибраної системи числення, то виконується процедури кодування сигналу.

Закодовані таким чином сигнали зазвичай називають як цифрові сигналів. Тим не менш, ми повинні мати на увазі, що кодування в широкому сенсі цього слова є будь-які перетворення повідомлень на певний сигнал, створивши між ними однозначну відповідність.

Цифровий сигнал описує функцію квантової решітки (квантована послідовність, квантування часових рядів) $X_w(nt)$, який приймає ряд дискретних значень, рівнів квантування $(h) 1, (h) 2, (h) 3 \dots h_k$, при цьому незалежної змінної $n = 0, 1, 2, \dots$. Кожному із рівнів квантування присвоюється номер, і таким чином сигнал кодується. Тому передача або обробка відліку цифрового кодованого сигналу зводиться до операцій над безрозмірними числами (кодами). Показ сигналу в цифровій формі майже завжди має значну перевагу при передачі, зберіганні та обробки інформації.

Отже, в цьому випадку інформація кодується кінцевим набором символів (цифр, букв), які вибираються з деякого кінцевого алфавіту. Будь-які скінченні послідовності сигналів називаються словом в цьому алфавіті. Метод зображень будь-які числа, використовуючи обмежену кількість цифр називається системою числення.

Кодування аналогового сигналу проводиться за допомогою різних видів аналого-цифрових перетворювачів (АЦП). Зворотний порядок реалізується цифро аналоговий перетворювачі (ЦАП). Для перетворення сигналів, зокрема, використовуються різні модулятори і демодулятори, широко використовуються в так званих модемах, в якому комп'ютери підключаються до різних типів обчислювальних мереж. Часто перетворюють і фізичну природи сигналу. Зокрема, перетворення оптичного сигналу в електричний і навпаки, виконуються за допомогою різних оптоелектронних приладів.

1.2. Системи счислення

У позиційних системах числення одна і та ж цифра (числовий знак) у записі числа набуває різних значень залежно від своєї позиції. Таким чином, позиція цифри має вагу у числі. Здебільшого вага кожної позиції кратна деякому натуральному числу b , $b > 1$, яке називається основою системи числення.

Крім звичної нам десяткової, також поширені системи числення з основами:

2 — двійкова (у дискретній математиці, інформатиці, програмуванні)

8 — вісімкова (у програмуванні)

12 — дванадцяткова (мала широке застосування у давнину, подекуди використовується і нині)

16 — шістнадцяткова (поширена у програмуванні, а також для кодування шрифтів)

60 — шістдесяткова (для виміру кутів і, зокрема, довготи і широти).

Переведення довільної позиційної системи числення до десяткової

Якщо число у системі числення з основою b дорівнює:

$$a_1, a_2, a_3 \dots a_n, \quad (1.7)$$

то для переведення його до десяткової системи обчислюють наступну суму:

$$\sum_{i=1}^n a_i \cdot b^{n-i}, \quad (1.8)$$

або, більш наглядно:

$$a_1 \cdot b^{n-1} + a_2 \cdot b^{n-2} + \dots + a_{n-1} \cdot b^1 + a_n \cdot b^0, \quad (1.9)$$

або, нарешті, у вигляді схеми Горнера:

$$(((... (a_1 \cdot b + a_2) \cdot b + a_3) ...) \cdot b + a_n). \quad (1.10)$$

Приклад:

$$\begin{aligned} 1011002 &= 1 \cdot 25 + 0 \cdot 24 + 1 \cdot 23 + 1 \cdot 22 + 0 \cdot 21 + 0 \cdot 1 = \\ &= 1 \cdot 32 + 0 \cdot 16 + 1 \cdot 8 + 1 \cdot 4 + 0 \cdot 2 + 0 \cdot 1 = 32 + 8 + 4 = 4410 \end{aligned}$$

Переведення із десяткової до довільної позиційної системи числення

Для переведення потрібно ділити число із залишком на основу системи числення допоки частка не стане меншою за основу.

Приклад

4410 переведемо до двійкової системи

44 ділимо на 2. частка 22, залишок 0

22 ділимо на 2. частка 11, залишок 0

11 ділимо на 2. частка 5, залишок 1

5 ділимо на 2. частка 2, залишок 1

2 ділимо на 2. частка 1, залишок 0

Частка менша двох, ділення закінчено. Тепер записуємо усі залишки, починаючи з останнього, і останню частку від ділення зліва направо, отримаємо число 1011002.

Переведення із двійкової у вісімкову і шістнадцяткову системи і навпаки

Для цього типу операцій існує спрощений алгоритм.

Для вісімкової — розбиваємо числа на триплети, перетворюючи триплети згідно таблиці 1.1.

Таблиця 1.1 – Переведення із двійкової у вісімкову систему числення

000	0	100	4
001	1	101	5
010	2	110	6
011	3	111	7

Для шістнадцяткової — розбиваємо на квартети (тетраедри), перетворюючи згідно таблиці 1.2.

Таблиця 1.2 – Переведення із двійкової у шістнадцяткову систему числення

0000	0	0100	4	1000	8	1100	C
0001	1	0101	5	1001	9	1101	D
0010	2	0110	6	1010	A	1110	E
0011	3	0111	7	1011	B	1111	F

Приклад 1

Перетворимо 1011002

у вісімкову — $101\ 100 \rightarrow 548$

у шістнадцяткову — $0010\ 1100 \rightarrow 2C16$

Приклад 2

Перетворимо до двійкової системи

$768 \rightarrow 111\ 1102$

$3E16 \rightarrow 0011\ 11102$

Перетворення дійсних чисел

Для переведення чисел із системи числення з основою p в систему числення з основою q з використанням арифметики старої системи числення з основою p потрібно:

- для переведення цілої частини:

послідовно число, записане в системі основою p ділити на основу нової системи числення, виділяючи остачі. Останні записані у зворотному порядку, будуть утворювати число в новій системі числення;

- для переведення дробової частини:

послідовно дробову частину множити на основу нової системи числення, виділяючи цілі частини, які й будуть утворювати запис дробової частини числа в новій системі числення.

Цим самим правилом зручно користуватися в разі переведення з десяткової системи числення, тому що її арифметика для нас звичніша.

Приклади: $999,35_{10} = 1111100111,010112$

- для цілої частини:

$$\begin{array}{r}
 999 \mid 2 \\
 \hline
 1 \mid 499 \mid 2 \\
 \hline
 1 \mid 249 \mid 2 \\
 \hline
 1 \mid 124 \mid 2 \\
 \hline
 0 \mid 62 \mid 2 \\
 \hline
 0 \mid 31 \mid 2 \\
 \hline
 1 \mid 15 \mid 2 \\
 \hline
 1 \mid 7 \mid 2 \\
 \hline
 1 \mid 3 \mid 2 \\
 \hline
 1 \mid 1
 \end{array}$$

- для дробової частини:

$$\begin{array}{r}
 0,35 \\
 2 \\
 \hline
 0,70 \\
 2 \\
 \hline
 1,40 \\
 2 \\
 \hline
 0,80 \\
 2 \\
 \hline
 1,60 \\
 2 \\
 \hline
 1,20
 \end{array}$$

Арифметичні операції над числами в двійковій системі

Додавання двох чисел в двійковій системі можна виконувати стовпцем, складаючи або дві цифри молодшого розряду, або дві цифри чисел, які додаються, в даному розряді і одиниці перенесення з сусіднього молодшого розряду.

Наприклад,

$$\begin{array}{r}
 1111101 \\
 + 101101.01 \\
 11011.01 \\
 \hline
 1001000.10
 \end{array}$$

Числа в двійковій системі віднімаються аналогічно числам в десятковій системі. При відніманні чисел в даному розряді, якщо цифра, що зменшується, менше цифри числа, що віднімається, позичають одиницю з наступного старшого розряду. При цьому одиниця, що позичається із старшого розряду, рівна двом одиницям даного розряду.

Наприклад,

```

10101.11
- 1011.01
-----
1010.10

```

Подання цілих чисел у комп'ютері

Для подання чисел у пам'яті комп'ютера використовують спеціальні двійкові коди: прямий, обернений та доповняльний.

Прямий код. Для його одержання треба у двійковому цілому числі знак „+” замінити символом „0”, а знак „-” – символом 1. Наприклад, для двійкового числа $X = -1001111$ його прямим кодом буде $[X]_{пр.} = 1.1001111$. Тут крапка відокремлює знак числа від його цифрової частини.

Обернений код цілого числа. Для додатніх чисел обернений код співпадає з прямим.

Для оберненого коду нуль має два зображення:

$$[+0]^{об} = 0.00...0; [-0]^{об} = 1.11...1. \quad (1.11)$$

Доповняльний код. Для додатніх чисел доповняльний код співпадає з прямим. Для від'ємного числа доповняльний код визначається за співвідношенням:

$$[X]_{дон} = [X]_{об} + 1 \quad (1.12)$$

Доповняльний код цілого від'ємного числа можна одержати за таким алгоритмом:

- 1) у знаковий розряд записати одиницю;
- 2) у цифрових розрядах одиниці замінити нулями, а нулі – одиницями;
- 3) до наймолодшого розряду одержаного результату (обернений код) додати 1.

Приклад 2.

Знайти доповняльний код від'ємного числа -10110, записаного в байтове машинне слово.

$$[X]_{np} = 1.0010110$$

$$[X]_{ob} = 1.1101001$$

$$[X]_{don} = 1.1101001 + 0.0000001 = 1.1101010$$

Обернений та доповняльний коди використовуються для виконання арифметичних дій. При цьому дію віднімання замінюють дією додавання обернених або доповняльних кодів.

$$x - y = x + (-y), \quad (1.13)$$

$$[x + y]_{ob} = [x]_{ob} + [y]_{ob}, \quad (1.14)$$

$$[x + y]_{don} = [x]_{don} + [y]_{don}. \quad (1.15)$$

Подання дійсних чисел у комп'ютері. Для збільшення діапазону подання чисел у комп'ютері було запропоновано подавати числа в режимі з плаваючою крапкою:

$$x = m \cdot Q^p; \quad (1.16)$$

де m – мантиса, p – характеристика або порядок.

Мантиса задає значущі цифри числа, а порядок вказує місцезнаходження крапки, яка відділяє цілу частину від дробової.

У комп'ютерах використовують нормалізоване подання числа:

$$x = m \cdot Q^p, \text{ де } \frac{1}{Q} \leq |m| < 1. \quad (1.17)$$

Машинне слово ділиться на два основних поля. В одному полі записується мантиса числа, в другому – порядок числа.

У пам'яті комп'ютера мантиса подається як ціле число, що містить тільки значущі цифри (0 і крапка не зберігаються). Отже, внутрішнє подання в комп'ютері дійсного числа зводиться до подання пари чисел: порядку і мантиси.

При цьому використовується машинний порядок. Машинний порядок M_p зміщений відносно математичного p і має тільки додатні значення. Зміщення z вибирають так, щоб мінімальному математичному порядку p відповідав нуль:

$$M_p = p + z, \text{ де } z = \min |p|. \quad (1.18)$$

Для запису внутрішнього подання дійсного десяткового числа в машинному слові (числовому регістрі) потрібно:

- 1) перевести модуль даного числа у війкову систему числення з k -значущими цифрами, k – кількість розрядів машинного слова, відведених для запису мантиси;
- 2) нормалізувати війкове число;
- 3) знайти машинний порядок у двійковій системі числення;
- 4) враховуючи знак числа, записати представлення в машинному слові.

Приклад. Машинне слово складається із 4-ох байтів, перший з яких відводиться для запису M_p і знаку числа. Подати в цьому слові десяткове число 53287,625.

1. 53287,625₁₀=D027,A16=1101000000100111,1012;
2. 1101000000100111,1012=0,1101000000100111101 · 10210000.

3. Для запису машинного порядку числа відведено 7 двійкових розрядів. Оскільки $2^7=128$, то математичний порядок може мати 128 значень і бути як додатнім, так і від'ємним. Тому доцільно ці значення поділити порівну між невід'ємними (від 0 до 63) та від'ємними (від -64 до -1) числами. Тоді, машинний порядок дорівнює $M_p = p + 64$ або у двійковій системі числення: $M_{p(2)} = p_{(2)} + 1000000_{(2)}$, оскільки $64_{10}=1000000_2$. Математичний порядок $p=100002$. Отже, $M_p(2)=10100002$.

4. Записуємо подання числа у 32-розрядному машинному слові, пам'ятаючи, що мантиса – правильний дріб (тому записується, починаючи з лівих розрядів, відведених для мантиси).

	1010000	110100000010011101000000
	30 24	23 0

1

1.3 Двійкові коди

Двійкові числа в обчислювальних пристроях розміщуються у комірках пам'яті, причому для кожного розряду числа виділяється окрема комірка, що зберігає один біт інформації. Сукупність комірок, призначених для розміщення одного двійкового числа, називають *розрядною сіткою*. Довжина розрядної сітки (число комірок n у розрядній сітці) обмежена і залежить від конструктивних особливостей обчислювального пристрою. Більшість існуючих електронних обчислювальних пристроїв мають розрядні сітки, що містять 16, 32 або 64 комірок.

Розміщення розрядів числа у розрядній сітці може відбуватися різними способами. Спосіб розміщення визначається формою подання двійкових чисел у ЕОМ. Розрізняють дві форми подання двійкових чисел: із фіксованою комою і з «плаваючою» комою. Іноді ці форми називають відповідно *природною* і *напівлогарифмічною*.

Припустимо, що в розрядній сітці необхідно розмістити двійкове число, що містить цілу і дробову частини. Якщо для розміщення цілої частини числа виділяється k комірок n -розрядної сітки, то (якщо не враховувати знак) для розміщення дробової частини залишиться $n-k$ вільних комірок (рисунок 1.3).

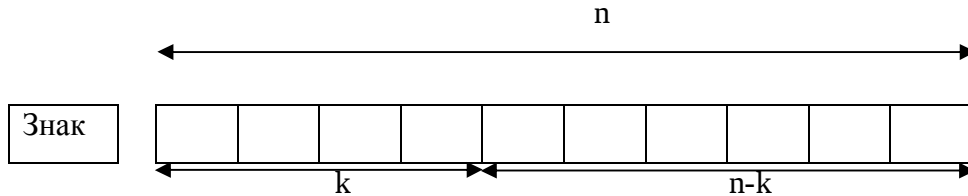


Рисунок 1.3 – Форма подання двійкових чисел із фіксованою комою

Така форма подання двійкових чисел називається *формою з фіксованою комою*. Дійсно, положення коми строго фіксовано стосовно розрядної сітки. Якщо кількість розрядів у дробовій частині числа перевищують $n-k$, то деякі молодші розряди виходять за межі розрядної сітки і не будуть сприйматися обчислювальним пристроєм. *Отже, будь-яке двійкове число, менше ніж одиниця молодшого розряду розрядної сітки, сприймається як нуль і називається машинним нулем.*

У результаті відкидання молодших розрядів дробової частини числа, розташованої за межами розрядної сітки, виникає похибка подання. Максимальне значення абсолютної похибки подання не перевищує одиниці молодшого розряду сітки.

В універсальних ЕОМ форма з фіксованою комою, у зв'язку з властивою їй низькою точністю, застосовується лише для подання цілих чисел. Основною є форма подання чисел з «плавучою» комою. Її використання дозволяє суттєво розширити діапазон і зменшити відносну похибку.

У цій формі числа подаються у вигляді суми деякого ступеня основи системи числення (який називається характеристикою числа) і цифрової частини, що має вигляд правильного дробу:

$$N = \pm aq^{\pm p}, \quad (1.19)$$

де, p звать порядком числа, а правильний дріб a – його мантисою. Мантиса і порядок є знаковими числами. Тому для позначення знаків у розрядній сітці відводяться два додаткові розряди. Знак усього числа співпадає із знаком мантиси.

При запису двійкового числа у показовій формі, в розрядній сітці використовуються дві групи розрядів (без урахування знакових розрядів мантиси і порядку). Перша група (k розрядів) призначена для розміщення коду мантиси, друга ($n-k$ розрядів) – для розміщення коду порядку (рисунк 1.4).

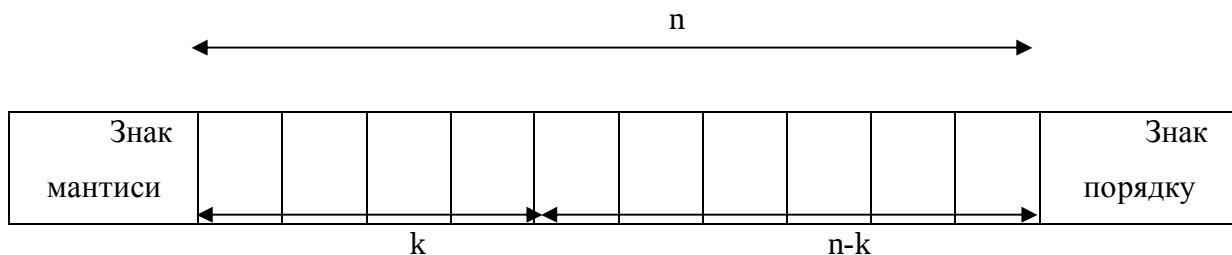


Рисунок 1.4 – Форма подання двійкових чисел із „плаваючою” комою

Отже, мантиса числа може мати необмежену кількість різних значень, менших за одиницю, при відповідних значеннях порядку (тобто кома може «плавати»). З усієї кількості подань числа у показовій формі те його подання, що не має в старшому розряді мантиси нуля, називають нормалізованим. Всі інші подання є ненормалізованими. У нормалізованій формі значення мантиси завжди більші або дорівнюють $1/2$, але не перевищують одиниці.

В обчислювальних пристроях із «плаваючою» комою усі числа зберігаються у нормалізованому вигляді, при цьому не втрачаються молодші розряди мантиси і підвищується точність обчислень. Якщо після виконання будь-якої арифметичної операції результат виявляється ненормалізованим, то перед занесенням числа в пам'ять виконують його нормалізацію, тобто зсув мантиси ліворуч на відповідну кількість розрядів, і зменшення порядку числа на відповідну кількість одиниць.

Показова форма подання чисел має і свої вади, основною з яких є порівняно висока складність виконання арифметичних операцій, а отже, і більша вимогливість до ресурсів обчислювального пристрою. Це обмежує її застосування, наприклад, у спеціалізованих радіотехнічних обчислювальних

пристроях, у системах управління технологічними процесами та обробки вимірювальної інформації у реальному часі.

Залежно від способу обробки бітів, розміщених у розрядній сітці, розрізняють два види кодів: паралельний, коли в кожний момент часу всі розряди сітки доступні для обробки, і послідовний, коли в кожний момент часу доступний один розряд сітки. Числа, подані паралельним кодом, доступні за один такт, а числа, подані послідовним кодом, – за n тактів, де n – розрядність сітки. Якщо розрядність числа перевищує довжину сітки, то його обробка ведеться частинами.

Натуральним кодом називають подання числа як цілого беззнакового у двійковій системі числення. Діапазон подання чисел у натуральному коді для n -розрядної сітки становить від 0 до $2^n - 1$, тобто для 8-розрядної сітки – від 0 до 255.

Для подання цілих знакових чисел використовують прямий, обернений і додатковий коди. Старший розряд сітки є знаковим. Значення цього розряду дорівнює 0 для додатних чисел і 1 – для від’ємних. В інших розрядах розміщується модуль числа.

Якщо до натурального коду цілого числа додати знаковий розряд, одержуємо запис числа у прямому коді (ПК). Домовимося знаковий розряд розташовувати зліва і відокремлювати від розрядів модуля числа крапкою, наприклад: $+ 6_{(10)} = 0.110_{(ПК)}$; $- 6_{(10)} = 1.110_{(ПК)}$.

Використання ПК забезпечує виконання операції додавання двох додатніх чисел звичайним способом без будь-яких складностей – не варто лише робити перенос одиниці старшого розряду модуля суми у знаковий розряд. Тобто при виконанні арифметичних операцій над ПК двійкових чисел знаковий розряд і розряди модуля не можна розглядати як єдине ціле. У цьому можна переконатися, розглянувши такий приклад:

<u>Правильно:</u>	<u>Неправильно:</u>
0.0110	0.0110
+ 0.1010	+ 0.1010
0.10000	1.0000
(+6) + (10) = (+16)	(+6) + (+10) = (- 0)

Однак, виконання операції віднімання одного числа від іншого шляхом безпосереднього додавання їхніх ПК неможливо. Неважко також помітити, що в ПК нуль має два можливі зображення: $-0 = 1.000\dots$ і $+0 = 0.000\dots$, що ускладнює інтерпретацію результатів виконання арифметичних операцій у ЕОМ.

Іншою формою запису двійкових чисел є обернений код (ОК). *ОК двійкового від'ємного числа утворюється з ПК рівного йому за модулем додатнього числа шляхом інвертування значень усіх його розрядів. Або: ОК від'ємного числа утворюється шляхом інверсії всіх розрядів модуля цього числа, записаного у ПК. Знаковий розряд при цьому зберігає значення 1.* Наприклад, $6_{(10)} = 1.110_{(ПК)} = 1.001_{(ОК)}$.

При виконанні арифметичних операцій над двійковими числами, поданими в ОК, знаковий розряд і розряд модуля числа можна розглядати як єдине ціле (перенос одиниці зі старшого розряду модуля суми в знаковий розряд не приводить до помилкового результату), але нуль як і раніше має два зображення – «додатнє» і «від'ємне». Слід зазначити, що отриманий при додаванні від'ємний результат також утворюється в ОК. У цьому випадку число може бути перетворене у ПК інверсією всіх значущих розрядів (розрядів модуля). Наприклад:

$$\begin{array}{r} 0.110 \\ + \underline{1.001} \\ \hline 1.111_{(ОК)} = 1.000_{(ПК)} \\ (+6) + (-6) = (-0) \end{array}$$

Додавання двійкових чисел із знаком. Очевидно, що при додаванні чисел із знаком можуть виникати переноси одиниці із старшого розряду модуля суми до знакового розряду (домовимося позначати його P_1) та із знакового розряду – ліворуч за межі розрядної сітки, у розряд переповнення (P_2). Через використання розглянутих раніше кодів, у яких знак числа позначається тими ж цифрами, що і розряди модуля, переповнення розрядної сітки може виникати навіть у випадку додавання чисел із різними знаками, коли модуль результату не перевищує модуля будь-якого операнда. При додаванні ж двох від'ємних чисел перенесення одиниці до розряду переповнення відбувається завжди.

При виникненні переповнення розрядної сітки для одержання правильного результату додавання необхідно застосовувати таке правило:

- якщо $P_1 \oplus P_2 = 0$, одиниця в розряді переповнення ігнорується (відкидається);
- якщо $P_1 \oplus P_2 = 1$, необхідно зсунути число на один розряд праворуч (або зсунути позицію точки на один розряд ліворуч).

Додавання дробових і цілих двійкових чисел, поданих у формі з фіксованою комою, відбувається однаково, тобто порядок додавання не залежить від розташування коми. Тому операцію додавання розглянемо на прикладі додавання цілих чисел.

Приклади:

1) Додавання двох додатніх чисел (без переповнення розрядної сітки):

$$\begin{array}{r} 0.100111 \quad 39 \\ + 0.001101 \quad +13 \\ \hline 0.110100 \quad 52 \end{array}$$

$P_1 \oplus P_2 = 0$ – результат коректний і остаточний.

2) Додавання двох додатніх чисел (з переповненням розрядної сітки):

$$\begin{array}{r} 0.01101 \quad 13 \\ + 0.10011 \quad +19 \\ \hline 1.00000 \quad 32 \end{array}$$

$P_1 \oplus P_2 = 1$. Результат некоректний, тому що відбулося переповнення розрядної сітки. Зсуваючи число на один розряд праворуч, остаточно маємо: $0.100000_{(ПК)} = 32_{(10)}$.

3) Додавання двох чисел із різними знаками (без переповнення розрядної сітки):

$$\begin{array}{r} 1.001100 \quad - 52 \\ + 0.001101 \quad + 13 \\ \hline 1.011001 \quad - 39 \end{array}$$

$P_1 \oplus P_2 = 0$. Результат коректний, але тому що він є від'ємним, для перевірки правильності розв'язання необхідно перетворити його у прямий код. Остаточного маємо $1.100111_{(ПК)} = 39_{(10)}$.

4) Додавання двох чисел, рівних за модулем і різних за знаком:

$$\begin{array}{r} 1.011001 \quad - 39 \\ + 0.100111 \quad + 39 \\ \hline 10.000000 \quad 0. \end{array}$$

$P_1 \oplus P_2 = 0$. Результат коректний, якщо не брати до уваги одиницю у розряді переповнення.

Додавання двох від'ємних чисел виконується аналогічно прикладам 1, 2 (у залежності від значення виразу $P_1 \oplus P_2$). Тому що результат у цьому випадку завжди від'ємний, для перевірки правильності розв'язання необхідно перетворити його у прямий код, аналогічно прикладу 3.

- Правильність виконання операцій додавання обов'язково повинна перевірятися шляхом аналізу значення виразу $P_1 \oplus P_2$, щоб уникнути одержання некоректного результату, що виникає при переповненні розрядної сітки, при цьому: якщо $P_1 \oplus P_2 = 0$, одиниця в розряді переповнення ігнорується (відкидається); якщо $P_1 \oplus P_2 = 1$, необхідно зсунути число на один розряд праворуч.

- Правило перевірки коректності результату додавання двійкових чисел також можна сформулювати в такий спосіб: якщо знак операндів однаковий, а знак суми протилежний, результат є некоректним. При додаванні двох операндів із різними знаками результат завжди коректний, якщо не брати до уваги одиницю у розряді переповнення.

Множення і ділення двійкових чисел із фіксованою комою. Множення двійкових чисел завжди виконують у прямому коді. Знак добутку визначають по знакових розрядах множників згідно з таким загальновідомим правилом: якщо знаки операндів однакові, то знак добутку – позитивний; у протилежному випадку – знак добутку негативний.

Знак добутку двох чисел не впливає на алгоритм виконання операції множення модулів цих чисел.

Часто використовують спосіб множення, процедура якого аналогічна процедурам множення вручну. У цьому випадку результат одержують додаванням часткових добутків. Кожний частковий добуток удвічі перевищує попередній, що відповідає його зсуванню ліворуч на один розряд. Наприклад:

$$\begin{array}{r}
 1101 \\
 \times 1011 \\
 \hline
 1101 \\
 1101 \\
 0000 \\
 1101 \\
 \hline
 10001111
 \end{array}
 \qquad
 \begin{array}{r}
 13 \\
 \times 11 \\
 \hline
 13 \\
 130 \\
 \hline
 143
 \end{array}$$

Характерно, що розрядність добутку двійкових чисел удвічі перевищує розрядність співмножників. Якщо у множенні беруть участь мантиси, тобто правильні дробі, то молодші розряди, що виходять за межі розрядної сітки, можуть бути відкинуті без округлення або з округленням.

Операція ділення також виконується способом, аналогічним застосовуваному при діленні вручну, що наочно ілюструє приклад ділення двох чисел $506 : 23 = 22$, тобто $0.111111010 : 0.10111 = 0.10110$. Знак частки визначають аналогічно знаку добутку. Застосоване при діленні віднімання дільника виконують шляхом додавання його додаткового коду.

	0. 1 1 1 1 1 0 1 0	ділене додатне
	1. 0 1 0 0 1	перше віднімання дільника
1	0 0. 1 0 0 0 1	1 – результат додатній
	1. 0 1 0 0 1	– друге віднімання дільника
0	1 1. 1 0 1 0 0	0 – від’ємний результат
	0. 1 0 1 1 1	– додавання дільника
1	1 0 0. 1 0 1 1 1	1 – результат додатній
	1. 0 1 0 0 1	– третє віднімання дільника
1	1 0 0. 0 0 0 0	1 – остача дорівнює нулю
0		

У даному прикладі використаний так названий алгоритм без відновлення остачі, що передбачає таку послідовність дій:

- із діленого віднімається дільник (додається дільник, записаний у додатковому коді);
- якщо остача додатня, перша цифра частки дорівнює одиниці, у протилежному випадку – 0;
- остача зсувається ліворуч, і до неї додається дільник із знаком, зворотним знаку остачі;
- знак наступної остачі визначає наступну цифру частки;
- ці дії повторюють доти, поки не утвориться необхідне число розрядів частки або нульова остача.

Слід зазначити, що оскільки даний алгоритм передбачає додавання чисел (остач і дільника) тільки з протилежними знаками, то всі розряди проміжних сум, старші за знаковий, слід ігнорувати.

Виконання арифметичних операцій у пристроях із «плавучою» комою. Операція додавання у пристроях із «плавучою» комою відбувається у чотири етапи:

1. Порівнюються порядки доданків: менший порядок збільшується до більшого. При цьому відповідним чином корегується мантиса числа, яке перетворюється.
2. Виконується перетворення мантис у додаткові коди.
3. Виконується додавання мантис за правилами, розглянутими вище для чисел із фіксованою комою.
4. До суми приписується порядок доданків і, в разі необхідності, виконується нормалізація результату.

Операція множення чисел, поданих у формі з «плавучою» комою також виконується у чотири етапи:

1. Визначається знак добутку.
2. Перемножуються мантиси співмножників за правилами для чисел із фіксованою комою.

3. Обчислюється порядок добутку алгебраїчним додаванням порядків співмножників за правилами додавання цілих чисел із знаком.

4. Виконується нормалізація отриманого результату у випадку її необхідності.

Ділення чисел у пристроях із «плаваючою» комою виконується так само, як і множення.

Контрольні тести:

1. Заповнити таблицю 1.3 згідно свого варіанту (всі переведення відобразити в зошиті):

Таблиця 1.3 – Завдання для переведення чисел згідно свого варіанту

варіант	Число в десятичній системі	Число в двійковій системі	Число в шістнадцятковій системі	прямий код	обернений код	доповняльний код
1	-257					
2	-143					
3	-29					
4	-15					
5	-47					
6	-53					
7	-41					
8	-50					
9	-38					
10	-35					
11	-32					
12	-29					
13	-26					
14	-23					
15	-20					
16	-17					
17	-14					
18	-184					
19	-135					
20	-86					
21	-37					
22	-18					
23	-45					
24	-72					
25	-99					

2. Здійснити перевірку, використовуючи калькулятор.

3. Машинне слово складається із 4-ох байтів, перший з яких відводиться для запису M_p і знаку числа. Подати в цьому слові десяткове число згідно свого варіанту:

Таблиця 1.4 – Таблиця з варіантами

Варіант	Число в десятковій системі	Знак	M_p	Мантиса	Число в десятковій системі	Знак	M_p	Мантиса
1	3764,794				-2764,54			
2	4420,493				-3420,239			
3	5076,192				-4075,938			
4	8354,687				-7354,433			
5	11633,18				-10632,928			
6	14911,68				-13911,423			
7	18190,17				-17189,918			
8	21468,67				-20468,413			
9	24747,16				-23746,908			
10	28025,66				-27025,403			
11	5076,192				-4075,938			
12	5731,891				-4731,637			
13	6387,59				-5387,336			
14	7043,289				-6043,035			
15	7698,988				-6698,734			
16	8354,687				-7354,433			
17	9010,386				-8010,132			
18	9666,085				-8665,831			
19	10321,78				-9321,53			
20	10977,48				-9977,229			
21	11633,18				-10632,928			
22	12288,88				-11288,627			
23	12944,58				-11944,326			
24	13600,28				-12600,025			
25	14255,98				-13255,724			

4. Переведіть мантиси з попереднього завдання в 16-ковий код.

5. Що таке система числення?

6. Які типи систем числення ви знаєте?
7. Що таке основа позиційної системи числення?
8. У чому полягає проблема вибору системи числення для подання чисел у пам'яті комп'ютера?
9. Яка система числення використовується для подання чисел у пам'яті комп'ютера? Чому?
10. Яким чином здійснюється перевід чисел, якщо основа нової системи числення дорівнює деякому степеню старої системи числення?
11. За яким правилом переводяться числа з десяткової системи числення?
12. За яким правилом переводяться числа в десяткову систему числення?
13. Що таке числовий код?
14. Способи представлення від'ємних чисел?
15. Скільки є форматів представлення двійкового числа для Pentium?

РОЗДІЛ 2

ДИСКРЕТИЗАЦІЯ АНАЛОГОВИХ СИГНАЛІВ

В управлінні інформаційними системами часто виникає завдання обробки аналогового повідомлення, які знімаються з аналогового датчиків. Введення цієї інформації в комп'ютер, каталог, обробка в цифровій формі, виконує дискретизація (квантування) аналогових сигналів.

Найбільш поширені і загальноприйняті методи обробки сигналів в подальших викладах.

Розрізняти три види дискретизації:

–за рівнем;

–за часом;

–за рівнем і часом (комбінована).

Розглянемо кожен з цих видів квантування більш докладно.

2.1 Квантування за рівнем

Вважаємо, що інформація відображається аналоговою (безперервною) напругою $U(t)$, яка повільно змінюється відповідно до закону, представлена на рисунку 2.1 [2].

Миттєві значення напруги знаходяться в діапазоні. $((U_{\min} = 0).U_{\max})$. Під час виконання операції квантування на рівні діапазон змінювання значень безперервних величин ділиться на кілька рівнів N_y , включаючи 0. Кількість N_y визначається з виразу

$$N_y = \frac{U_{\max} - U_{\min}}{\Delta U} + 1, \quad (2.1)$$

де, ΔU – значення кроку квантування за рівнем. При цьому останнє є постійною величиною ($\Delta U = \text{const}$) і визначає необхідну похибку дискретизації. У нашому прикладі, $N_y = 5$. Кожен рівень пронумерований у десятковій системі

числення. Робота квантування приводиться до наступного: вона визначає моменти часу, коли вхідний аналоговий сигнал досягає наступного дискретного рівня.

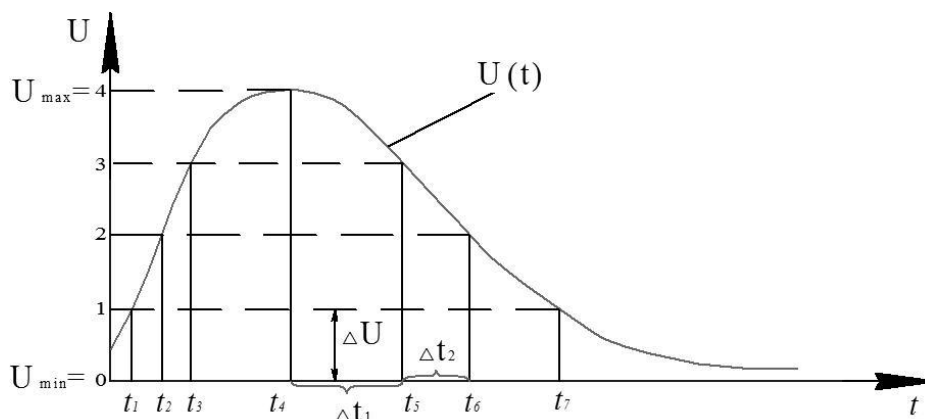


Рисунок. 2.1 – Квантування сигналу за рівнем

Ці моменти позначені $t_0, t_1, t_2, t_3, \dots$, зрозуміло, що коли нелінійному вхідному сигналі інтервал між суміжними тимчасовими відрахунками є змінною величиною ($\Delta t = \text{var}$). Прикладом пристроїв, в яких відбувається квантування за рівнем є релейні (порогові) пристрої.

2.2 Квантування за часом

Квантування операції за часом (рисунок 2.2) постійного вхідного сигналу замінений решітчастим (дискретним), який знімається з виходу квантування в дискретні моменти часу $t_1, t_2, t_3, \dots$, інтервал між сусідніми моментами часу $\Delta t = t_1 - t_0 = t_2 - t_1 = \dots = \text{const.}$

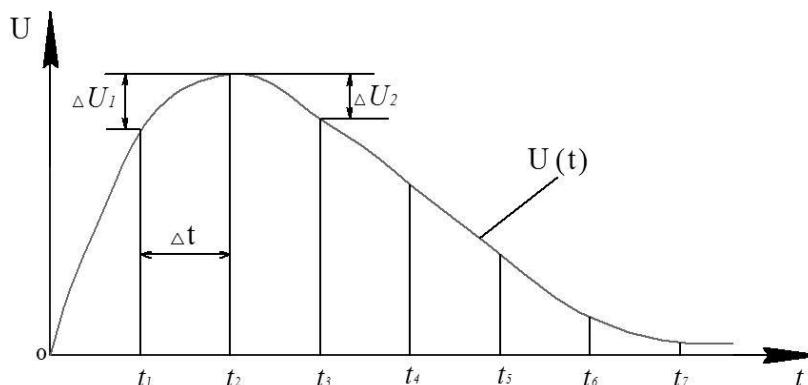


Рисунок 2.2 – Квантування сигналу за часом

Зрозуміло, що різниця між сусідніми значеннями вхідного сигналу в нелінійному законі зміни вхідної напруги змінна величина ($\Delta U = \text{var}$). Прикладом пристроїв, в яких квантування за часом, є імпульсні системи автоматичного керування [20].

2.3 Квантування за рівнем і за часом

Робота такого перетворювача (рисунок 2.3) приводить до того, що з безперервного сигналу періодично проводяться вибірки миттєвих значень. Проміжок часу між суміжними вибірками $\Delta t = \text{const.}$, кожна вибірка округлюється перетворювачем до найближчого рівня квантування, отримана від дискретизації за рівнем. Інтервал між суміжними рівнями $\Delta U = \text{const.}$

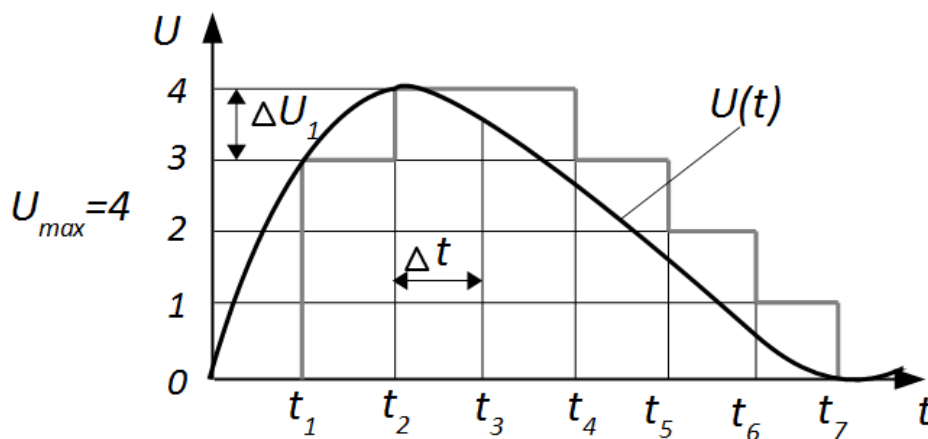


Рисунок. 2.3 – Квантування сигналу за рівнем і часом

Значення за рівнем представлене в десятковій або двійковій системі числення (десятковий або двійковий код). Код за рівнем, в свою чергу, видається цифровим сигналом. Вихідний сигнал має ступінчасту форму і з ступенем точності, яка відповідає аналогові напруги. На цьому принципі працює електронні аналого-цифрові перетворювачів (АЦП) [10, 13].

2.4 Розрахунок похибки АЦП

На виході АЦП кожному дискретному значенню відповідає поєднання двійкового коду, число розрядів якого (включаючи 0) позначається буквою N_p . Вибір N_p проводиться у відповідності до вимог:

$$2^{N_p} \geq N_d. \quad (2.2)$$

Кількість дискретних значень N_d (рівень квантування) залежить від похибки квантування за рівнем.

Абсолютної похибки, коли з'являються квантування за рівнем:

$$\delta_{abs.} \leq \frac{\Delta U}{2}, \quad (2.3)$$

де, ΔU – величина кроку квантування за рівнем дорівнює:

$$\Delta U = \frac{U_{ex.max} - U_{ex.min}}{N_d - 1}. \quad (2.4)$$

З вище написаного випливає, що максимальне відношення абсолютної похибки дорівнює половині кроку квантування за рівнем. Відносна похибка квантування за рівнем:

$$\delta_{oid.} \leq \frac{50}{N_d - 1} \%, \quad (2.5)$$

де, N_d – число дискретних значень вихідних величин (рівнів квантування). У рівнянні (2.5) з N_d віднімається одиниця тому, що одна з дискретних значень (рівнів) є нуль (цифра 2.3). Отже, необхідну кількість рівнів дискретних значень,

які відображають неперервну функцію з вказаного точністю, визначається з виразу:

$$N_{\delta} = N_y \geq \frac{50}{\delta_{\text{від.}}} + 1. \quad (2.6)$$

Приклад розрахунку АЦП:

Задано значення відносної похибки $\delta_{\text{від.}} \leq 2\%$.

Необхідно визначити АЦП, що задовольняє заданому значенню $\delta_{\text{від.}}$.

Визначити кількість рівнів квантування (число дискретних значень):

$$N_y \geq (50 / 2) + 1 = 26.$$

Вибираємо кількість розрядів АЦП $N_{P \text{ д. к. }} = 5$, що задовольняє вираз (2.5):
 $25=32>26$.

2.5 Вибір величини кроку квантування за часом

Величина кроку квантування за часом Δt , визначає необхідну продуктивність АЦП, розрахований відповідно до теореми вибірки відліку (теорема Котельнікова):

$$\Delta t \leq \frac{1}{2 \cdot F_{\text{max}}}, \quad (2.7)$$

де, F_{max} – частота вищих гармонік вхідного аналогового сигналу частотного спектру. Іншими словами при переміщенні до дискретних величин найбільших для гармонійних компонентів вхідного сигналу, має мінімальний період (максимальна частота), необхідно і прийняти принаймні два відрахунка.

Будь-які АЦП є інерційним пристроєм, які мають кінцевий час перетворення $t_{\text{прб}}$, а також відповідає потрібному значенню Δt .

Якщо аналоговий вхідний сигнал змінюється досить швидко, і в АЦП має неналежної роботи, то може з'явитися похибка, що зміна часу перетворення АЦП

вхідного сигналу еквівалентно зміни вихідного ДК, більш ніж на одиницю МЗР. Для боротьби з цим явищем використовується пристрій вибірки-збереження, що пам'ятають миттєве значення вхідного аналогового сигналу на даний момент тимчасової вибірки і підтримує значення постійним до наступної вибірки.

При проектуванні на комп'ютеризованій системи часто виникає обернена задача: перетворення цифрового сигналу в аналоговий (безперервний). Для цього застосовують цифро-аналогові перетворювачі (ЦАП).

РОЗДІЛ 3

АЛГЕБРА ЛОГІКИ І СИНТЕЗУ ЦИФРОВИХ ЕЛЕКТРОННИХ СХЕМ

3.1 Основні положення алгебри логіки

Алгебра логіки є математичний апарат, за допомогою якого використовується синтез і аналіз логічних схем. В якості структурного алфавіту вибирають, як правило алфавіт, що складається з двох елементів. Такий алфавіт називається двійковим, а його букви відповідають числам 0 і 1.

Слід зазначити, що використання двійкового алфавіту як структурного алфавіту в цифрових машинах, де він використовується для оцінки внутрішній стан і стан вхідний і вихідний ланцюгів не слід плутати з двійкової системи числення для представлення чисел.

У сучасних цифрових машинах найбільш часто використовуються такі зображення елементарних сигналів, структурного алфавіту бінарних компонентів:

- наявність імпульсу електронного струму і відсутності імпульсу електричного струму;
- високий електричний потенціал і низькою електричний потенціал;
- електричний струм великої сили і електричні струму малої сили;
- імпульси позитивної та негативної полярності.

У синтезі комбінаційними схемами в двійковому структурному алфавіту стані таких схем, визначені за допомогою функцій, які приймають тільки два значення 0 і 1 [3].

Скажімо далі, що змінні, які можна взяти тільки два значення 0 і 1 і залежить від змінних, кожен з яких може прийняти тільки два значення 0 і 1.

Скажімо далі, що змінні, які можна взяти тільки два значення 0 і 1 називаються двійковими чи логічними змінними.

Змінні можна зробити три основні умови:

- логічне додавання ;
- логічне множення;
- логічне заперечення це відповідає логічним функцій АБО; І; НЕ.

Логічне додавання (диз'юнкція) позначається символом «+» або (V).

Логічне додавання (кон'юнкція) позначається точкою або символом Λ , & або в буквальному виразі не позначається.

Логічне заперечення (інверсія) позначається рискою над символом елемента.

Функція будь-якої скінченної кількості двійкові змінні здатні також приймати два значення 0 і 1, зазвичай називають *перемикальними* чи *логічними* функціями.

Область визначення булевої функції від (n) змінних служить сукупність з n -мірних впорядкованої множини (вектори розмірності n), компонентами яких є букви двійкового алфавіту 0 і 1. Ці набори вхідних змінних називають *кортежами* або *точками*.

Для будь-якого $n = 1; 2; 3; \dots$ серед n -мірні двійкові набори можна ввести *лексикографічну* (природну) впорядкованість, враховуючи будь-який двійковий набір чисел представлення для деяких невід'ємне ціле число бінарних системах числення.

Наприклад, для $n=4$, набір 1110 представляє число $0 \cdot 2^0 + 1 \cdot 2^1 + 1 \cdot 2^2 + 1 \cdot 2^3 = 14$, а набір 0101 – число $1 \cdot 2^0 + 0 \cdot 2^1 + 1 \cdot 2^2 + 0 \cdot 2^3 = 5$.

Число, за яким, подано даний набір (розглядається як двійковий код), умовно, називають *номером* цього набору.

Число змінних, які входять до складу набору, будемо називати *розмірність* цього набору.

Природний порядок n -мірних наборів (двійкові), ми отримаємо розміщуючи ці набори за зростанням їх номерів.

Наприклад, $n = 3$, він буде виглядати наступним чином:

Як ви можете бачити, перший в цьому місці буде нульовий набір (всі компоненти, які дорівнюють нулю), останній – одиничний набір (всі компоненти, які є одиниці).

Двійковий набір повністю визначається його номер та його розмірність. Розмірність набору n нумеруються цілими числами від 0 до 2^{n-1} . При цьому, це

точно 2^n двійковий n -мірних наборів ($n = 1; 2; 3$.) і має точно 2^{2^n} різні булевих функцій від n змінних ($n = 1; 2; 3; \dots$).

Таблиця 3.1 – Таблиця наборів $N = 3$

Набори	Номер
000	0
011	1
010	2
011	3
100	4
101	5
110	6
111	7

Наприклад, $n=3$, маємо число наборів $2^3 = 8$;
кількість булевих функцій від n змінні $2^8 = 256$.

Серед булевих функцій від n змінні знайдено функції так звані *втрачені* і *невтрачені* функції .

Невтрачені функції такі n -змінні функції, які залежать від всіх цих змінних:

$$y = abc, n = 3. \quad (3.1)$$

Втрачені функції є ті, які містять в своєму складі менш ніж n змінні:

$$y = abc, n = 3.$$

3.2. Способи встановлення логічних функцій

Існують різні способи встановлення або презентація логічних функцій. Основні з них включають:

Словесні подання, відображає словесні відносини значень логічних функцій і його аргументи. Словесні презентації логічних функцій передували будь-якого іншого методу представлення, він відображає неформальні відносини між аргументами і функцією.

Табличний метод, передбачає завдання логічної функції у вигляді таблиці відповідності (таблиці істинності стану). Ця функція презентується у вигляді таблиці, в лівій частині якої виписують всі можливі набори аргументів за порядком зростання їх номерів від верху до низу , а в правій частині таблиці, для кожного набору встановлюється значення функції. Приклад такого представлення логічних функцій для $n = 3$ наведені в таблиці 3.2.

Коли накопичення значень будь-яких функцій на n змінні можна розглядати як запис 2^n розрядне двійкове число.

У нашому прикладі $y = 01010011$. Слід зазначити, що в майбутньому, коли за допомогою поля таблиці істинності з номерами введення наборів буде пропущений.

Таблиця 3.2 – Таблиця істинності

N	a	b	c	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

Таблиця 3.3 – Матрична таблиця істинності

bc \ a	00	01	10	11
0	0	1	0	1
1	0	0	1	1

Для скорочення табличних записів логічних функцій з великою кількістю змінних ($n \geq 3$) використовується:

Матричні таблиці відповідності. Рівна кількість клітинок у цій таблиці рівна 2^n , а на краях таблиці вліво і зверху відкладають циклічні двійкові файли аргументів, а зверху розміщують аргументи нижчих розрядів, зліва – вищих розрядів. У клітинці під номером в двійковому коду, який розташований на перетині відповідно рядка і стовпця, вписують одиницю, якщо передбачено функцію при цьому наборі вхідними змінними дорівнює 1, або нуль. Якщо, функція на цей набір приймає нульове значення. Зразок запису функцій трьох змінних (з попереднього прикладу) вказані двійкове значення одиниць встановлює 1, 3, 6, 7 показано в таблиці 3.2.

Аналітичний метод завдання. Аналітичний метод роботи функцій є логічну функцію, яка задається у вигляді алгебраїчних рівнянь, в якій змінні взаємопов'язані між собою символами логічних операцій.

Існують дві основні форми запису логічних функцій в алгебраїчній формі, називаються *нормальними*.

Перша, диз'юнктивна нормальна форма (ДНФ) являє собою логічну суму елементарних логічних частини або диз'юнкція елементарних кон'юнкцій, кожна з яких є аргумент або її заперечення входить не більше одного разу.

Наприклад,

$$Y(a, b, c) = a\bar{b} + bc + \bar{a}\bar{b}\bar{c}. \quad (3.2)$$

Друга – кон'юнктивна нормальна форма (КНФ), логічний продукт елементарних логічних сума (або кон'юнкція елементарних диз'юнкцій).

Наприклад,

$$Y(a, b, c) = (a + b) \cdot (a + \bar{b} + c) \cdot (b + c). \quad (3.3)$$

Елементарними називають такі диз'юнкції або диз'юнкції, кількість змінних, в яких менше, ніж загальна кількість змінних, від котрих залежить функція. Наприклад, функції (3.2) і (3.3) залежать від три змінних і два з трьох компонентів диз'юнкція і кон'юнкція, відповідно загальна кількість змінних, так що вони неелементарні [4].

Розглянемо функцію, викладені в таблиці 3. 1, вона дорівнює 1 на наборах змінних з номерами 1, 3, 6, 7, а решта набори дорівнює нулю. Отже формулювання запису цієї функції з одноразовим значенням можуть бути представлені наступним чином:

Функція дорівнює одиниці, якщо:

- | | | |
|---------------------------------------|-----|---------------------------------------|
| 1). $a = 0 \wedge b = 0 \wedge c = 1$ | АБО | 2). $a = 0 \wedge b = 1 \wedge c = 1$ |
| 3). $a = 1 \wedge b = 1 \wedge c = 0$ | АБО | 4). $a = 1 \wedge b = 1 \wedge c = 1$ |

При заміні логічні операції АБО і І їх формальним позначенням, легко отримати аналітичний запис функцій.

$$Y = \overline{a}\overline{b}c + \overline{a}bc + ab\overline{c} + abc. \quad (3.4)$$

Порівняння з рівняння (3.2), це легко зрозуміти, що функція в рівнянні (3.4), записаний в диз'юнктивній нормальній формі, але вона складається з кон'юнкцій, які включають в себе повний набір змінних, тобто неелементарних.

Така кон'юнкцій, яка включає в себе повний набір змінних, на якому функції дорівнює 1, називається *мінтермом* запису функції як сума мінтермом (тобто диз'юнкція мінтермом) називають ідеальною диз'юнктивною формою (ІДНФ).

Аналогічно кон'юнкція, яка включає в себе повний набір змінних, на якому функція дорівнює нулю, називається *макстермом*, і запис функції у вигляді суми макстермів називається ідеальною кон'юнктивною формою (ІКНФ).

Тому функцію (таблиця 2.1) можна записати в такий спосіб:

$$\overline{y} = \overline{a}\overline{b}\overline{c} + \overline{a}b\overline{c} + a\overline{b}\overline{c} + ab\overline{c}. \quad (3.5)$$

Протиріччя, які заключаються в тому, що ІКНФ записані в рівняння (3.5) як сума (диз'юнкція) макстермов, легко виключена, якщо зауважити, що в рівняння (3.6) записана не сама функція, а її заперечення. Беручи заперечення від лівої та правої частини рівняння (3.4), після перетворення буде:

$$\overline{y} = (a + b + c) \cdot (\overline{a} + \overline{b} + \overline{c}) \cdot (\overline{a} + b + \overline{c}) \cdot (\overline{a} + \overline{b} + c) \quad (3.6)$$

Звідси випливає правило для знаходження з таблиці істинності ІКНФ: *знайти ІКНФ логічну функцію, необхідно помножити суму обернених аргументи з цих наборів в якій функції дорівнює нулю*.

Таким чином, будь-яка функція логіки з табличної форми записи можуть бути перетворені в аналітичну за допомогою елементарних логічних функцій, таких як I, АБО, НІ.

Аналітична форма функцій дає змогу сформулювати основні закони (аксіом) алгебри логіки, які записуються для операцій I, АБО окремо і буде розглянута нижче.

Числовий метод

Цей метод запису функції використовується, щоб зменшити його запис, функція написана у вигляді логічної суми десяткових чисел двійкових наборів, на яких функція дорівнює нулю, наприклад, для функції, заданої у таблиці 3.1

$$y(a, b, c) = \sum (1;3;6;7)$$

або

$$y = \bigvee k_i$$

коли $(i) = 1, 3, 6, 7$.

що читається як: функція три змінних дорівнює диз'юнкції мінтермів k , де $k_i = 1, 3, 6, 7$.

Чисельний метод завдання логічних функцій на додаток до простоти і компактності запису, значно спрощує синтезу логічні схеми, при використанні табличних методів синтезу.

3.3. Основні закони формальної логіки

Існують чотири пари основних законів:

- два переміщувальних;
- два з'єднувальних;
- два розподілу;
- два інверсій;

Переміщувальний закон (закон комунікативності).

Порядок розміщення змінних не впливають на логічну суму та логічні.

$$\overline{a} + b = b + \overline{a}; ab = ba \quad (3.7)$$

З'єднувальний (Закон асоціативності)

Результатом послідовного додавання або множення кількох змінних не залежить від порядку цих дій (тобто в математичних виразах суми і не потрібно писати в дужках):

$$(a + b) + c = a + (b + c); (ab) \cdot c = a \cdot (bc) \quad (3.8)$$

Розподільний (дистрибутивний закон).

Розподільний закон щодо додавання вказує на те, що загальний множник завжди можна винести за дужках:

$$ac + bc = c(a + b) \quad (3.9)$$

Цей закон, як і попередні подібний аналогічному закону звичайної алгебри. Однак, розподільний закон відносно множення не містить аналогічного в звичайній алгебрі:

$$(a + b)(b + c) = ac + b \quad (3.10)$$

Закон інверсії (закон заперечення).

Інверсія суми вхідних елементів дорівнює добутку цих змінних:

$\overline{a + b} = \bar{a} \cdot \bar{b}$, а добуток інверсії вхідних змінних дорівнює сумі інверсій змінних: $\overline{a \cdot b} = \bar{a} + \bar{b}$;

Коли будь-яке число більше двох змінних, застосовується інший вид закону заперечення – *правило де Моргана*:

$$\begin{aligned} \overline{a + b + c + \dots} &= \bar{a} \cdot \bar{b} \cdot \bar{c} \dots \\ \overline{a \cdot b \cdot c \dots} &= \bar{a} + \bar{b} + \bar{c} \dots \end{aligned} \quad (3.11)$$

3.4 Аксиоми алгебри

- 1) $1 + 1 = 1$; $1 \cdot 1 = 1$;
- 2). $0 + 0 = 0$; $0 \cdot 0 = 0$;
- 3). $1 + 0 = 1$; $1 \cdot 0 = 0$;
- 4). $\bar{1} = 0$; $\bar{0} = 1$ (закон константи)
- 5). $a + \bar{b} = b + \bar{b}$

3.5 Основні тотожності алгебри логіки

Під час перетворення алгебраїчних логічних функцій, а також закони алгебри логіки широко використовуються наслідки цих законів (які іноді називають додаткові закони або правилами перетворення). Перші п'ять з них є елементарними висловами:

1. Нульова множина (Закон додавання та множення 0):

$$a \cdot 0 = 0; a + 0 = a; 0 \cdot a \cdot c \cdot b = 0.$$

2. Універсальна множина (закон додавання та множення на 1):

$$\begin{aligned} 1 \cdot a &= a; \\ 1 + a &= 1; \\ 1 + a + b + c &= 1. \end{aligned}$$

3. (Закон ідентичності). Повторення:

$$\begin{aligned} a \cdot a &= a \\ a + a &= a & n \cdot a &= a \\ a^n &= a \end{aligned}$$

4. Доповнення (Закон протиріччя):

$$a \cdot \bar{a} = 0; a + \bar{a} = 1$$

5. Подвійний інверсія (Закон подвійного заперечення):

$$\overline{\overline{a}} = a$$

Крім того існує складніша логіка конструкції, яка відіграє велику роль у перетворенні структурних формул, на основі базових висловлювань:

6. *Закону поглинання:*

$$a + b = a \cdot (1 + b) = a; a \cdot (a + b) = a$$

$$a \cdot (a + b) \cdot (a + c) \dots (a + z) = a$$

7. *Просто склеювання:*

$$ab + a\bar{b} = a$$

$$(a + b) \cdot (a + \bar{b}) = a$$

8. *Узагальнене склеювання:*

$$ab + \bar{a}c + bc = ab + \bar{a}c;$$

$$(a + b) \cdot (\bar{a} + c) \cdot (b + c) = (a + b) \cdot (\bar{a} + c) = \bar{a}b + ac;$$

$$c \cdot (b + \bar{a}) + ba = \bar{a}c + ab;$$

$$a \cdot (\bar{a} + b) = ab;$$

$$\bar{a} \cdot (a + b) = \bar{a}b;$$

$$a + \bar{a}b = (a + \bar{a}) \cdot (a + b) = a + b;$$

$$\bar{a} + a\bar{b} = (a + \bar{a}) \cdot (\bar{a} + \bar{b}) = \bar{a} + \bar{b}$$

9. *Теорема де Моргана*

$$\overline{abc\dots z} = \bar{a} + \bar{b} + \bar{c} + \dots + \bar{z};$$

$$\overline{a + b + c + \dots + z} = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \dots \cdot \bar{z}$$

3.6 Функцій однієї змінної

Протягом інтервал зміни аргументу має чотири функції з однією змінною, яка називається нульовою, одиничною, повторення і заперечення (таблиці 3.4 та 3.5).

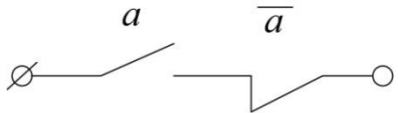
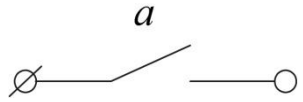
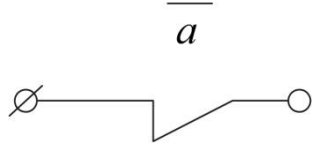
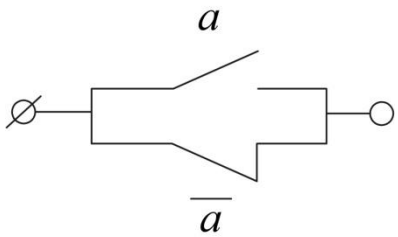
Нульова і одинична функція є константами. Функція, U_0 називається нульовою, якщо вона дорівнює нулю при будь-якому значенні аргументу a .

Аналогічно, Y_3 називається *одиничною функцією*, якщо вона завжди приймає одиницю при будь-якому значенні аргументу a .

Таблиця 3.4 – Таблиця істинності для функції однієї змінної

Аргумент	Функцій і їх номери			
a	Y_0	Y_1	Y_2	Y_3
0	0	0	1	1
1	0	1	0	1

Таблиця 3.5 – Назва і позначення функцій однієї змінної

№ функції	Найменування функції	Символ	Формула	РКС Реалізації
Y_0	нульова	0	$a \bar{a}$	
Y_1	співпадання повторення тотожність	a	a	
Y_2	інверсія заперечення «НІ»	$\bar{a}$	$\bar{a}$	
Y_3	одинична	1	$a + \bar{a}$	

Нульова функція може бути цілком постійним відключенням навантаження від джерела живлення, а одинична постійним включенням навантаження до джерела живлення.

Стосовно схем на контакт елементів одинична функція означає постійно замкнутий ланцюг, а нульова функція є постійно роз'ємним ланцюгом.

Для звітності a і $\bar{a}$ будемо називати рівними (ідентичні) і записувати $Y_1 = a$, якщо вони одночасно істинні (1), і одночасно неправдиві (0). Елемент, який

реалізує цю функцію, називається *повторювальним*, а y – називається запереченням (або інверсія) виразуванням a і записується: $y_2 = \bar{a}$, якщо y – істина, коли a – хибне і y – хибне, коли a – істина. Логічний елемент носить назву *інвертор* або елемент, *НІ*.

3.7 Функції двох змінних

Функції двох змінних, так само як функції однієї змінної, є основні функції алгебри логіки, тому що ці функції можуть бути узагальнені функції будь-якого числа з змінних.

Як у випадку з функції однієї змінної, функції двох змінних на відповідному набору можуть приймати значення: *нульової одиничної, повторення і заперечення*.

Тобто, на додаток до змінних, мають місце логічні конструкції, характерні тільки для випадку $n \geq 2$ змінні. До них відносяться: *диз'юнкція, кон'юнкція, імплікація, еквівалентність, заперечення кон'юнкції, заперечення диз'юнкції, і заборона* (таблиці 3.6)

Таблиця 3.6 – Таблиці істинності для функцій двох змінних

Аргументи		Логічні функції і їх номери															
a	b	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7	y_8	y_9	y_{10}	y_{11}	y_{12}	y_{13}	y_{14}	y_{15}
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

3.8 Базисні логічні функції

Будь-яка логічна функція може бути представлена сукупністю елементарних логічних функцій: диз'юнкція, кон'юнкція, або їх суперпозиції інверсії. Набору елементарних функцій АБО, І, НІ називають функціонально завершена або базисна (базисом). Крім того, існують два базиса: І-НІ; АБО-НІ.

3.9 Принцип двійкової булевої алгебри

Якщо у виразі $F_8 = A \wedge B$ кон'юнкцію замінити на диз'юнкцію і проінвертувати двох змінних, у результаті виявляється бути попереднє значення інверсії функції $\overline{F_8} = \overline{A} \vee \overline{B}$. Аналогічним чином, якщо вираз $F_{14} = A \vee B$ і диз'юнкцію замінити на кон'юнкцію і проінвертувати обох змінних, у результаті виявляється інверсія попереднього значення функції $\overline{F_{14}} = \overline{A} \wedge \overline{B}$.

Вказані властивості логічних функцій відображають принцип *двоїстості* булевої алгебри.

3.10. Ідеальна диз'юнктивна нормальна форма (ІДНФ) написання булевих виразів

ІДНФ є одним з аналітичних форм представлення перемикальних функцій. Булеві вирази простий логічних функцій можуть бути записані на їх словесних описів. Отримати аналітичні форми (булевих виразів) рекомендується використання таблиці істинності.

Припустимо, що логічну функцію трьох змінних налаштовано таблиці істинності (таблиця 3.7).

Таблиця 3.7 – Таблиця істинності

№ набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Ця функція має чотири конституанти одиниці $K1, K4, K5$ і $K6$ (конституанта одиницею є одиничне значення ПФ за один конкретний набір. Все для перемикальної функцій трьох змінних може бути вісім конститuant одиниць. Якщо функція приймає одиничне значення на всіх наборах). Конституанта одиниць записав у вигляді кон'юнкції.

У нашому прикладі:

$$K_1 = \overline{C} \cdot \overline{B} \cdot A;$$

$$K_4 = C \cdot \overline{B} \cdot \overline{A};$$

$$K_5 = C \cdot \overline{B} \cdot A;$$

$$K_6 = C \cdot B \cdot \overline{A}.$$

Логічний вираз функції. Цей вираз в ІДНФ являє собою суму конституант одиниць:

$$F = K_1 + K_4 + K_5 + K_6 = \overline{C} \cdot \overline{B} \cdot A + C \cdot \overline{B} \cdot \overline{A} + C \cdot \overline{B} \cdot A + C \cdot B \cdot \overline{A}. \quad (3.12)$$

Як конституанти одиниць пишеться як кон'юнкція, ІСДНФ являє собою суму конституанти, кожна з яких містить всі змінні у вигляді прямий або обернений не більше одного разу. Це очевидно, що логічна функція має єдиний болевий вираз у ІДНФ, що слідує з методики його отримання.

ІДНФ називається *диз'юнктивний* (складається з суми кон'юнкцій), *ідеальний* (всі кон'юнкції містять один раз кожен змінну в прямому або інверсійному вигляді) і *нормальні* (дворівневі) для його реалізація вимагаються логічні елементи з двох типів: кон'юнктури і диз'юнктори, передбачається, що вихідні змінні приходять у прямим і інверсному вигляді.

3.11. Диз'юнктивна нормальна форма (ДНФ)

Якщо вираз (3.10) на всі або деякі із кон'юнкціях відсутні окремі змінні (прямий або обернений форми) або ряд кон'юнкцій, які відображають конституанти одиниці, відсутні, тоді така форма презентації логічного виразу називається диз'юнктивна нормальна форма (ДНФ).

Перемикання функції можна описати кілька булевими виразами в ДНФ, один з яких є мінімальним (містить мінімум кон'юнкцій і мінімум вхідних змінних).

3.12. Ідеальна кон'юнктивна нормальна форма (ІКНФ) написання булевих виразів

У таблиці 3.4 перемикання функції на додаток до конституенти одиниці містить конституенти нуля, K_2 , K_3 та K_7 (конституента нуля є нульове значення перемикальної функції на один конкретний набір). Тільки для перемикальної функцій 3-х змінних можуть бути вісім конституент нуля, якщо функція приймає значення 0 для всіх наборів. Конституента нуля пишеться у вигляді диз'юнкція. Для нашого прикладу (таблиця 3.4).

$$K_0 = A + B + C; \quad K_2 = A + \bar{B} + C; \quad K_3 = \bar{A} + \bar{B} + C; \quad K_7 = \bar{A} + \bar{B} + \bar{C}.$$

Логічний вираз у ІКНФ є константи нуля:

$$F = K_0 \cdot K_2 \cdot K_3 \cdot K_7 = (A + B + C) \cdot (A + \bar{B} + C) \cdot (\bar{A} + \bar{B} + C) \cdot (\bar{A} + \bar{B} + \bar{C}). \quad (3.13)$$

ІКНФ називається кон'юнктивною (складається з диз'юнкцій), досконалою (всі диз'юнкції включають один раз кожен змінний у прямому або інверсному вигляді) і нормальною (дворівневою) для її реалізації вимагаються логічні елементи двох типів: кон'юнктури і диз'юнктори, передбачається, що вихідні змінні поступають у прямому або інверсному вигляді.

Логічна функція містить тільки єдиний булевий вираз в ІКНФ.

3.13 Кон'юнктивна нормальна форма (КНФ)

Якщо вираз (3.4) всі диз'юнкції або деякі з них не містять всіх змінних у пряму або оберненому вигляді, а також деякі диз'юнкції відсутні, тоді така форма представлення булевих виразів, називається кон'юнктивною нормальною формою (КНФ).

Перемикальна функція може описуватись кількома булевими виразами в КНФ, один з яких є мінімальним (містить мінімум диз'юнкцій і мінімум вхідних змінних).

3.14 Мінімізація логічних функцій

Мінімізація спрощення називається аналітичний вираз, який представляє перемикач (логічний) функції, щоб гарантувати, що булеві вирази перемикальної функції містить мінімальну кількість членів з мінімальною кількістю змінних.

Способів, щоб звести до мінімуму:

- алгебраїчний;
- за допомогою діаграми Вейча (карти Карно).

3.14.1. Алгебраїчний спосіб мінімізації перемикальної функції (ПФ)

Іноколи просте упрощенням мінімізації логічні вирази перемикальної функції за допомогою тотожності і теореми булевої алгебри.

Приклад 1 . Вихідний логічний вираз:

$$F = C \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A + C \cdot \bar{B} \cdot \bar{A} + \bar{C} \cdot \bar{B} \cdot A. \quad (3.14)$$

Застосовуючи теорему зв'язку, отримаємо логічний вираз:

$$F = C \cdot \bar{A} + \bar{B} \cdot A, \quad (3.15)$$

Який рівносильний до (що еквівалентно) вихідного, але значно простіше.

Приклад 2 . Вихідний логічний вираз:

$$F = C \cdot B \cdot \bar{A} + C \cdot \bar{B} \cdot A + \bar{C} \cdot B \cdot A + C \cdot B \cdot A. \quad (3.16)$$

За допомогою тотожності $A = A + A$ і теореми склеювання отримаємо більш простий вираз:

$$F = C \cdot B + C \cdot A + B \cdot A. \quad (3.17)$$

Такі елементарні прийоми мінімізувати вдається використовувати, якщо оригінальний логічний вираз містить невелику кількість членів з невеликим числом змінних.

Наочним і зручним є зведення до мінімуму за допомогою діаграми Вейча (карти Карно).

3.14.2. Мінімізація перемикальних функцій за допомогою діаграми Вейча (карти Карно)

Вейча діаграми (карти Карно) [3, 11, 18] будуються так, щоб їх сусідні клітинки містили члени первинну перемикальну функцію, різні значення однієї змінної: один член містить цю змінну прямої форми, а інший - в інверсній. Завдяки цьому відбувається наочне уявлення про різні варіанти для склеювання пов'язаних членів.

3.14.3. Мінімізація за допомогою діаграм Вейча

Початковий продукт для використання діаграм Вейча має таблиця істинності, в якій можливі набори змінних упорядковані за зростанням або за спаданням своїх десяткових еквівалентів. Подання діаграми Вейча залежить від кількості змінних мінімізованої функція перемикання – n і впорядкованих множин змінних у таблиці. Якщо набори впорядковані за зростанням своїх десяткових еквівалентів, діаграми Вейча для $n = 2, 3, 4$ має вигляд, приведений на рисунку. 3.1.

Кількість клітинок діаграми дорівнює кількості множин змінних

$$N_{кл} = N_{наб} = 2n. \quad (3.18)$$

Якщо $n = 2$, то $N_{кл} = 2^2 = 4$; $n = 3$ – $N_{кл} = 8$, $n = 4$ – $N_{кл} = 16$.

Кожній клітинці відповідає набір змінних і має номер, дорівнює набору номера.

Рядки та стовпці діаграми, помічені рисою, визначення наборів, де змінні приймають одиничні значення (пряма форма). Рядки і стовпці, які не позначені

рискою, відповідають наборам, в яких ті ж змінні приймають нульове значення (обернений). Наприклад, для $n = 3$ (рисунок. 3.1) двом лівим стовпцям відповідає одиничне значення змінної B (B входить в прямій формі) а для двох правих – нульове значення (B входить до оберненої форми).

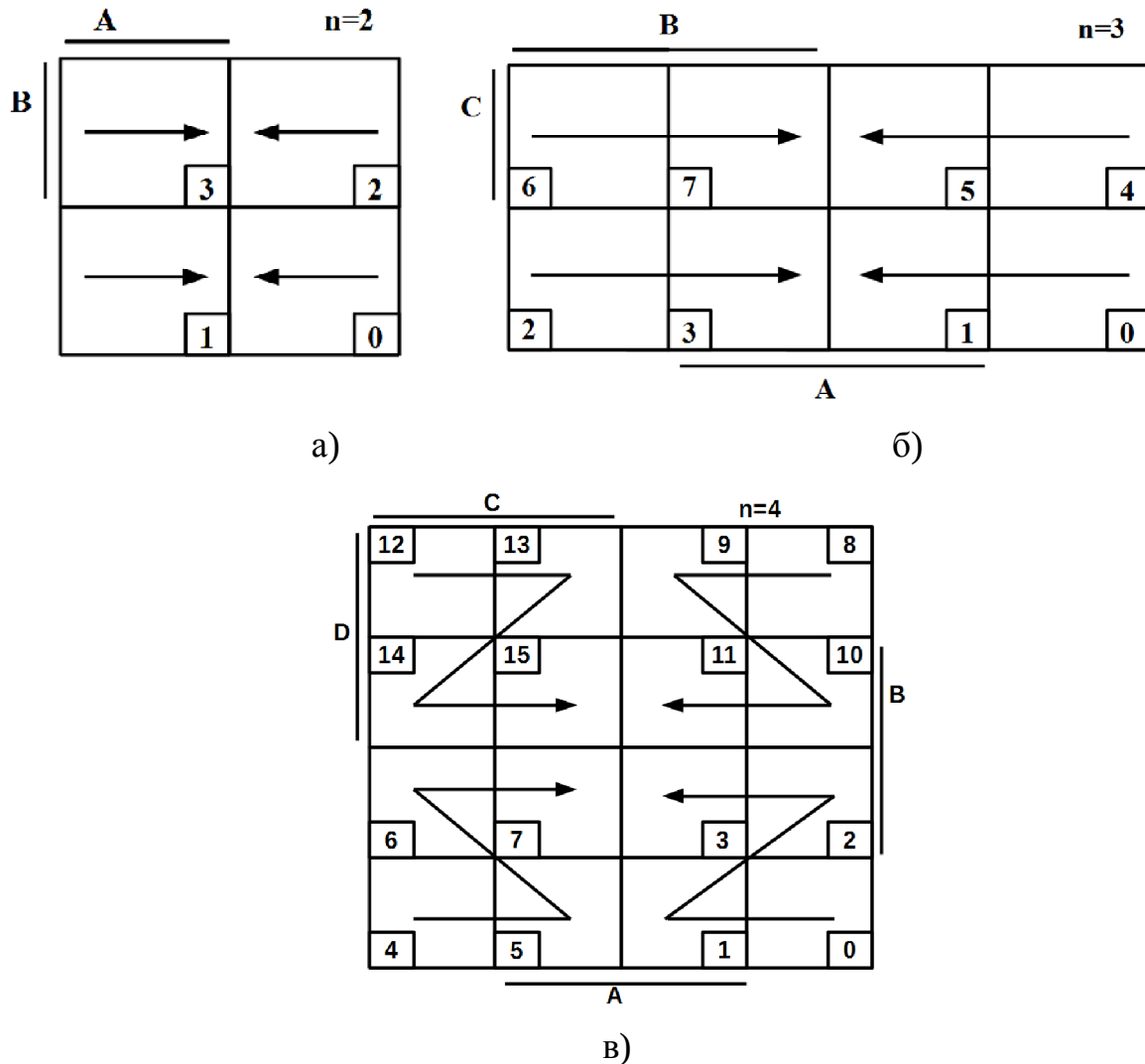


Рисунок. 3.1 – Діаграма Вейча: а) для двох змінних; б) для трьох змінних; в) для чотирьох змінних

У клітинці, значення теж записуються на відповідному наборі (нульове або одиничне). Якщо функція на певному наборі не визначена, тоді в клітинці діаграми ставиться тире.

Перемикальні функції вважаються невизначені, якщо:

- 1) цей набір змінних в реальному логічному пристрою неможливий;
- 2) значення функції на даному наборі пасивно.

Після заповнення діаграми можна приступити безпосередньо до мінімізації, яку виробляють по одиницям або нулям.

У першому випадку результат мінімізації буде логічний вираз в ДНФ, а другий – у КНФ.

3.14.3.1. Загальні правила мінімізації

Мінімізація може здійснюватися за одиницями (нулями). У той же час:

1) Прилеглі одиниць (нулів) діаграми умовно охоплюють (накривають) прямокутні контури. Кожний контур може містити 2, 4, 8, 16,... одиниць (нулі).

2) Одним контуром (покриттям) необхідно об'єднати максимальну кількість суміжних клітинок, які містять одиниці (нулі).

3) Необхідно, щоб кожна одиниця (нуль) накривалась хоча б один раз.

4) Одна і та ж одиниця (нуль) можуть бути покрита кілька разів різними контурами.

5) Верхні і нижні рядки діаграми вважаються суміжні, вони можуть бути створені, якщо умовно згорнути діаграму в горизонтальний циліндр.

6) Лівий та правий стовпчики вважаються також пов'язані - діаграми можуть умовно згорнути в вертикалі циліндра.

7) Кутові клітинки, також вважається пов'язані – діаграми можна умовно згорнути в тор.

8) Перед виконанням мінімізації в клітинках, яка містять тире (на даних наборах перемикальна функція невизначена), можна записати додаткові одиниці (нулі), яка стимулює отримати більш простого кінцевого логічного виразу. Слід пам'ятати, що хоча б раз, необхідно охоплювати лише основні одиниці (нулі). Додаткові одиниці (нулі) можуть збільшити сумарне число придбаних одиниць (нулів), які входять в покриття, таким чином зменшувати число змінних в результаті кон'юнкцій(диз'юнкцій).

9) мінімізації логічний вираз виходить в ДНФ (з КНФ). Кількість кон'юнкцій в ДНФ (диз'юнкцій в КНФ) відповідає кількості контурів (накриттів).

10) В кожному кон'юнкцію (диз'юнкцію). Входять тільки ті змінні, значення яких в межах контура не змінюється (змінна приймає в покритті лише одичне значення або значення нуль (лише у вигляді прямої або оберненої форми)).

У мінімізації одиниць в результаті кон'юнкції змінні, включені в прямій формі, якщо відповіді їм рядки і стовпці не позначені тире, в протичному випадку диз'юнкції містять змінні в інверсному вигляді.

При зведенні до мінімуму 0 в результаті диз'юнкція змінні включені в прямій формі, якщо їх відповідні рядки та стовпці не позначені рисою, в іншому випадку диз'юнкція містять змінні у вигляді інверсному.

Щоб мінімізувати мінімальної ДНФ або КНФ, яка містить принаймні мінімальну кількість членів з мінімальною кількістю змінних, які входять в них змінні. Для цього необхідно мінімальним числом контурів охопити хоча б один раз кожную одиницю (нулів).

Рисунок 3.1 показує діаграми коли булевих змінних Вейча $n = 2, 3, 4$. Для $n > 4$ діаграму, які містяться в [18]. Якщо набори змінних вихідної таблиці істинності впорядковані по убавання свої десятикових еквівалентів, то необхідно використовувати діаграми Вейча наведені в [5, 6].

3.14.3.2. Приклади мінімізації перемикальних функцій за допомогою діаграм Вейча

Приклад 1. Контролювати можливу деформацію металевих конструкцій через перегрів в її різних критичних точок встановлені чотири термодатчики, які позначаються ТД1, ТД2, ТД3, ТД4. Експериментальні дослідження конструкції показали, що в ході експлуатації можливі шість комбінацій спрацювання і не спрацювання датчиків. При цьому, деформація конструкції виникала в наступних випадках:

- 1) спрацював ТД4, ТД3 і не спрацювали ТД2 і ТД1;
- 2) спрацювали ТД4, ТД3, ТД2 і ТД1;
- 3) спрацювали ТД2 і не спрацював ТД4, ТД3 і ТД1;
- 4) спрацював ТД3, ТД2 і ТД1 і не спрацював ТД4;

У випадках, де:

5) спрацював ТД4, ТД3, ТД2 і не спрацював ТД1;

6) спрацював ТД2, ТД1 і не спрацював ТД4, ТД3

деформація конструкції не виникає.

Відповідно до умов експлуатації конструкції інші структури комбінацій спрацювання і не спрацювання датчиків неможливі.

Необхідно розробити цифровий логічний пристрій, який включає в себе сигнал тривоги, якщо відбувається спрацювання небезпечної комбінації термодатчиків.

Позначимо цифрові сигнали на виході термодатчиків логічними змінними: ТД4 $\rightarrow D$; ТД3 $\rightarrow P$; $\rightarrow$ ТД2 $\rightarrow B$; ТД1 $\rightarrow A$, логічну функцію, яка має здійснити пристрій контролю – F . Складемо таблицю істинності, яка відображає логічну функцію (таблиця 3.8).

Таблиця 3.8 Таблиця істинності

(ТД4) (ТД3) (ТД2) (ТД1)					
№ набору	D	C	B	A	F
0	0	0	0	0	-
1	0	0	0	1	-
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	-
5	0	1	0	1	-
6	0	1	1	0	-
7	0	1	1	1	1
8	1	0	0	0	-
9	1	0	0	1	-
10	1	0	1	0	-
11	1	0	1	1	-
12	1	1	0	0	1
13	1	1	0	1	-
14	1	1	1	0	0
15	1	1	1	1	1

3)

6)

4)

1)

5)

2)

Діаграма Вейча, що відображає дану таблицю, показано на рисунку 3.2.

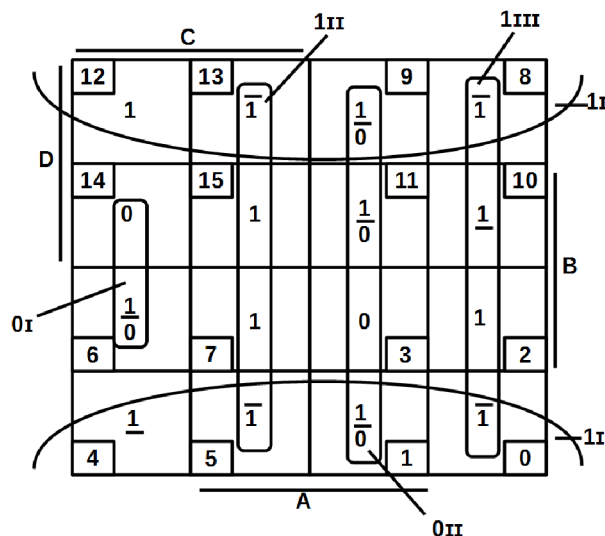


Рисунок. 3.2 – Діаграма Вейча , яка відображає мінімізацію логічну функцій

Якщо будемо виробляти мінімізацію по одиницях, тоді в клітинці, яка містить тире поставимо додаткові одиниці.

Основні одиниці накриваємо трьома контурами: 1-й контур (1I) формують клітинки спочатку першого і останнього рядка, 2 – й (1II)-клітинки, 2-го і 3 колонки (1III) -4-го стовпця.

Отриманий логічний вираз мінімізованої перемикальної функції яка має форму:

$$F = \overbrace{B}^{1I} + \overbrace{C \cdot A}^{1II} + \overbrace{C \cdot \bar{A}}^{1III} \quad (3.19)$$

Цей вираз повинен здійснюватися в цифрових логічних пристроїв, що включає сигналу тривоги.

Функція може бути зведена до мінімуму та нульовим (0) значення. Для цього визначаємо клітинки з числами, 1, 6, 9 та 11 нулями та покриття двох основних нуля двома прямокутниками, у тому числі два і чотири елементи (нуль). Першим прямокутником (0I) охоплює клітинки з числами 6,14, другий (0II) – 1, 3, 11 і 9.

Отриманий логічний вираз мінімізованої перемикальної функції має вигляд:

$$F = \overbrace{(\overline{C} + A + \overline{B})}^{0_I} \cdot \overbrace{(\overline{A} + C)}^{0_{II}} \quad (3.20)$$

Вирази (3.11) і (3.12) еквівалентні, і повинні використовувати той, який легше реалізувати на певному наборі логічних елементів (базовий). Це питання буде розглядатися в наступних лекціях [3].

Приклад 2 Блок має бути пріоритетом переривання 2-х зовнішніх пристроїв: ВУ₁ і ВУ₂. ВУ із менше число вказує на вищий пріоритет. спрощеною структурою дизайну показано в рисунку 3.3.

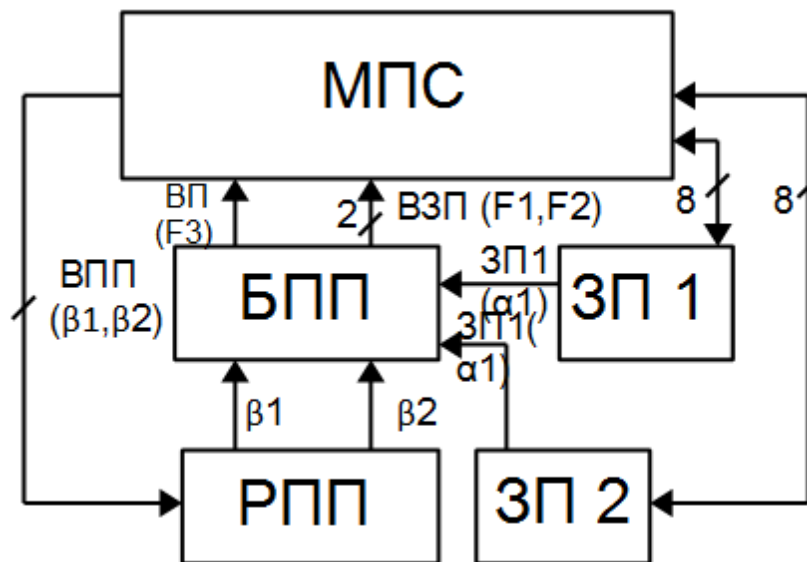


Рисунок 3.3 – Спрощений дизайн структури системи яку проектуємо

На схемі, такі скорочення: МПС -мікропроцесорна система; ВУ -зовнішній пристрій; БПП- блок пріоритетних переривань; ВП -вектор текущего переривання, що використання логічних змінних β_1 , β_2 описує можливі стани МП-системи при обслуговуванні запитів переривання від ВУ (таблиця 3.7); РПП-регістр поточного переривання від ВУ₁, ВУ₂ (пам'ятає значення змінних, β_1 β_2); ЗП1, ЗП2 -перервати запити від ВУ₁, ВУ₂ (змінні описані α_1 , α_2); ТП -вимога до переривань (логічну функцію F_3); ВЗП – вектор запиту переривання, відображається комбінація значень булевої функцій F_1 і F_2 (таблиця 3.8).

Таблиця 3.7 – Опис можливих станів мікропроцесорної системи при обслуговуванні запитів переривання від зовнішнього пристрою

№ набору	β_1	β_2	ВТП
0	0	0	Очікування
1	0	1	обслуговується ВУ ₁
2	1	0	обслуговується ВУ ₂
3	1	1	–

Таблиця 3.8 – Відображення вектора запиту переривання через комбінація значень булевої функцій F_1 і F_2 .

ВЗП	F_1	F_2
$F_3 = 0$ или невизначено	–	–
Запит ВУ ₂	1	0
Запит ВУ ₁	0	1

МП-система періодично перевіряє значення ТР сигналу функції (F_3). Якщо $ТП = 0$ (запит на переривання відсутній), то значення функцій, F_1 , F_2 , байдужим і МПС продовжує свою роботу. Якщо $ТП = 1$, МП – система аналізує значення МЗП векторів (поєднання функцій F_1 , F_2) і вказує номер запиту переривання. Так як набір змінних $\beta_1 = \beta_2 = 1$ не є можливим (Таблиця 3.6), функції F_1 , F_2 , F_3 , у таких випадках, на невизначений. Таким чином, завдання ЗПП – є реалізація здійснити три логічних функцій F_1 , F_2 , F_3 , кожен з яких визначається значення чотирьох булевих змінних: α_1 , α_2 , β_2 , β_1 .

Логічний вираз мінімізує ПФ за формою:

$$F_3 = \alpha_1 \cdot \overline{\beta_2} + \alpha_2 \cdot \overline{\beta_1} \cdot \overline{\beta_2}, \quad (3.21)$$

$$F_1 = \overline{\alpha_1}, \quad (3.22)$$

$$F_2 = \alpha_1. \quad (3.23)$$

Ми побудуємо таблиця істинності (Таблиця 3.9) для вище перелічених функцій.

Таблиця 3.9 – Таблиця істинності

	(D)	(C)	(B)	(A)			
	D	C	B	A			
№ набору	α_1	α_2	β_1	β_2	F3	F1	F2
0	0	0	0	0	0	-	-
1	0	0	0	1	0	-	-
2	0	0	1	0	0	-	-
3	0	0	1	1	-	-	-
4	0	1	0	0	1	1	0
5	0	1	0	1	0	-	-
6	0	1	1	0	0	-	-
7	0	1	1	1	-	-	-
8	1	0	0	0	1	0	1
9	1	0	0	1	0	-	-
10	1	0	1	0	1	0	1
11	1	0	1	1	-	-	-
12	1	1	0	0	1	0	1
13	1	1	0	1	0	-	-
14	1	1	1	0	1	0	1
15	1	1	1	1	-	-	-

Функції F_1, F_2, F_3 діаграми Вейча (рисунок. 3.4)

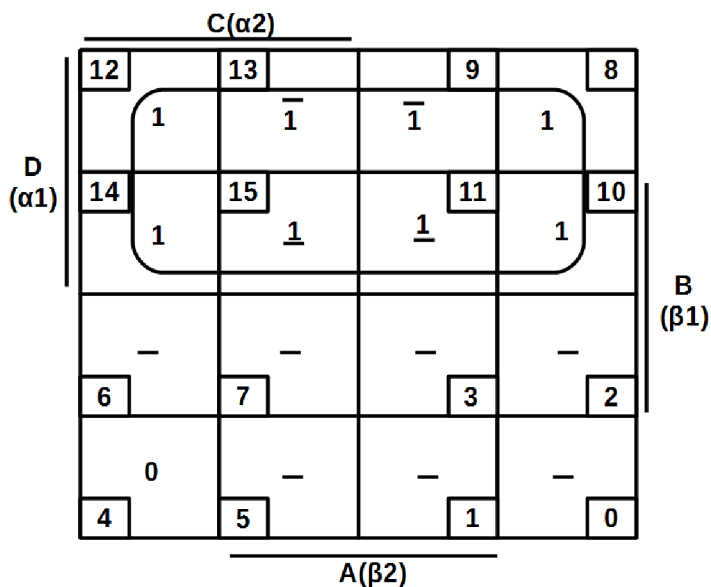


Рисунок 3.4 – Представлені функції F1, F2, F3,

Отримані вирази (3.21-3.23) є цілком конкретні булеві тлумачення і якщо певні навички можуть бути отримані без складання таблиця істинності і мінімізації перемикальної функції.

Таким чином, якщо $F_3 = 1$, в іншому випадку F_1 і F_2 байдужі, то запит від ВУ₁ у вигляді комбінації $F_1 = 0, F_2 = 1$ буде робити тільки тоді, коли $\alpha_1 = 1$. Значення в α_2 є байдужим, тому що навіть якщо $\alpha_1 = 1 = \alpha_2$, α_1 має більш високий пріоритет. Якщо $\alpha_1 = 0$ і $F_3 = 1$, це означає, що вимоги перервати через запит від ВУ₂ ($\alpha_2 = 1$). Коли написанні виразів (3.11) могли б керуватися такими моментами. $F_3 = 1$ в двох випадках. По-перше, якщо прибув запит від ВУ₁ ($\alpha_1 = 1$), хоча МР-система очікує запиті, або обслуговує переривання від ВУ₂ (в обох випадках, $\beta_2 = 0$, таблиця 3.8). По-друге, якщо надійшов запит від ВУ₂ ($\alpha_2 = 1$), в той час як МП-системі знаходиться в режим очікування ($\beta_1 = \beta_2 = 0$). Вищесказане представляє два установчі вирази (3.21).

У другому прикладі ми пройшли 2 етапи синтезу комбінаційних цифрових електронних пристроїв:

1. Презентація перемикальних функцій у формі, яка є джерелом для вибраного методу мінімізації в нашому випадку, у вигляді таблиць істинності і діаграми Вейча.

2. Отримання мінімальної ДНФ для кожного виходу комбінаційної схеми.

3.14.4 Мінімізація перемикальних функцій за допомогою карт Карно

Рисунок 3.5 показує приклад карти Карно для перемикальної функції чотирьох змінних ($n = 4$).

Кожна клітинка в картах Карно так само, як і в діаграмах Вейча відповідає певному набору змінних. Сусідні клітини відповідають наборам, відрізняються значенням одної із змінних. Значення конкретної змінної або комбінація (product) змінні у вигляді пряме або обернений позначаються кожного рядка та стовпчика.

Клітинки позначені змінні в прямій формі, відповідають наборам, де ці змінні приймають одиничні значення, а клітинки, позначені змінними в інверсній формі – наборами, де ці змінні дорівнюють нулю.

Карта Карно зручно використовувати ,якщо перемикальна функції задається у вигляді логічних виразів у СДНФ.

Наприклад:

$$\begin{aligned}
 F = & D \cdot \bar{C} \cdot \bar{B} \cdot \bar{A} + \bar{D} \cdot C \cdot \bar{B} \cdot A + \bar{D} \cdot \bar{C} \cdot \bar{B} \cdot A + \\
 & \textcircled{1} \textcircled{2} \textcircled{3} \\
 & + \bar{D} \cdot \bar{C} \cdot B \cdot A + \bar{D} \cdot C \cdot B \cdot A + D \cdot \bar{C} \cdot \bar{B} \cdot A \\
 & \textcircled{4} \textcircled{5} \textcircled{6}
 \end{aligned}
 \tag{3.24}$$

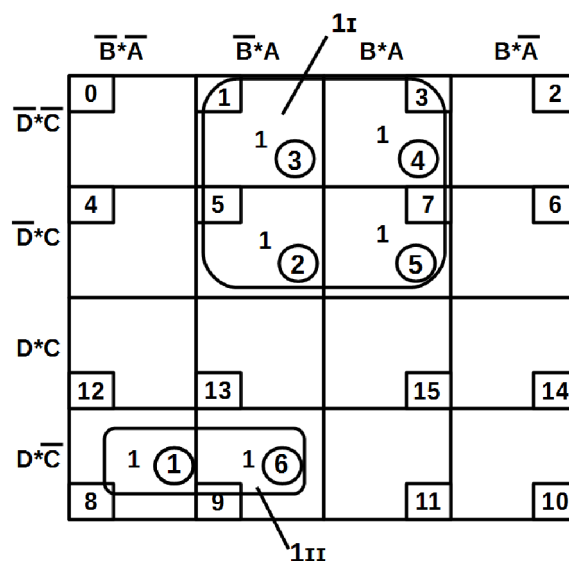


Рисунок. 3.5 – Мінімізація перемикальних функцій 4- х змінних за допомогою Карно

Правила мінімізації за допомогою Карно карти в основному аналогічні до правил, викладених при розгляді діаграм Вейча. Різниця полягає в наповненні карти Карно одиницями. Якщо діаграму Вейча наповнена одиницями відповідно до кількості наборів, де оригінальні перемикальні функції приймає одиничне значення, тоді в Карно карті одиниці проставляються в клітинках, лежачи на перетині рядків і стовпців, відмічені комбінацій змінних, які, при їх перемноженні дають відповідний запис конституанти одиниці (кон'юнкції) у логічному виразі мінімізованої функції (3.14). На рисунку 3.5 приклад заповнення карти Карно з виразу (3.14), яка містить шість конституант одиниць.

Булеві вирази мінімізованої ПФ має вигляд:

$$F = \overbrace{\overline{D} \cdot A}^{I_I} + \overbrace{D \cdot \overline{C} \cdot \overline{B}}^{I_{II}}. \quad (3.25)$$

Інші приклади використання Карно і Вейча подання в [3, 18].

РОЗДІЛ 4

ЛОГІЧНІ ЕЛЕМЕНТИ

Для апаратної реалізації булевих виразів використовується деякий набір логічних елементів [5], які випускаються у вигляді інтегральних мікросхем (ІМС). Існують спеціалізовані ІМС, розроблені методами інтегральної технології спеціально для отримання необхідної логічної залежності. Спеціалізовані ІМС не потребують ніяких паяних між'єднань і мають високу надійність. Однак розробка схожих мікросхем економічно виправдана лише при великому об'ємі випуску. Прикладом може слугувати масовий випуск спеціалізованих ВІС для електронних годинників, мікрокалькуляторів тощо.

Крім спеціалізованих ІМС існує універсальний набір логічних елементів у вигляді ІМС, забезпечуючий реалізацію будь-яких логічних функцій. До цього набору можна віднести: інвертор; кон'юктор; диз'юнктор; повторювач; І-НІ; АБО-НІ; виключаючи АБО; сумування по модулю два (непарність); сумування по модулю два з відмовою (парність); еквівалентність; нееквівалентність; І-АБО-НІ; заборона та ін.

4.1 Інвертор (логічний елемент «НІ»)

Інвертор реалізує логічну функцію:

$$F = \bar{A}. \quad (4.1)$$

Нижче показані його позначення на електричних схемах (рисунок. 4.1,а) і принципова схема (рисунок. 4.1,б).

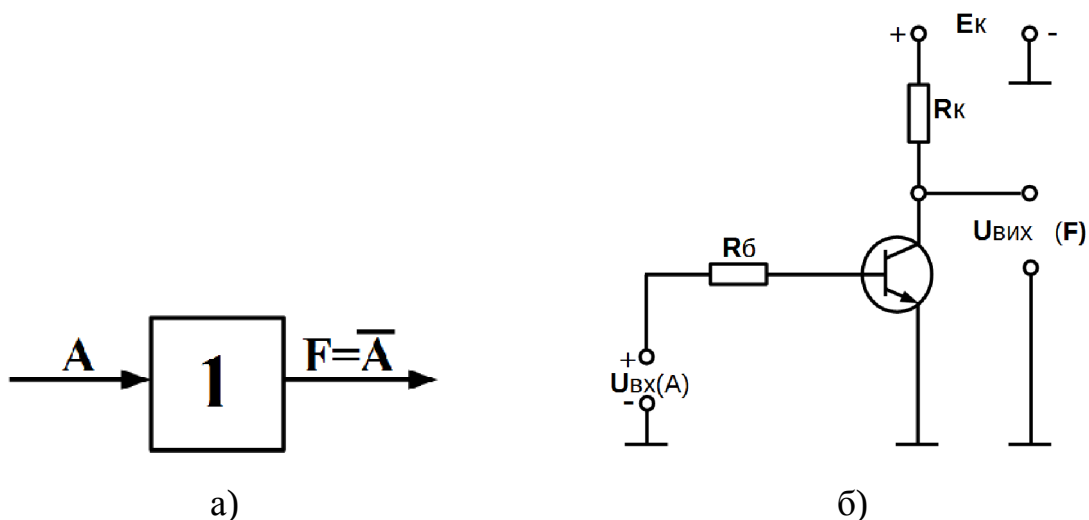


Рисунок. 4.1 – Схема логічного елемента «НІ» на транзисторній базі: а) – функціональна; б) – принципова

4.2 Кон'юктор (логічний елемент «І»)

Кон'юктор реалізує логічну функцію:

$$F = A \wedge B = A \cdot B. \quad (4.2)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 4.2, а), принципальна схема (рисунок 4.2,б) і таблиця істинності (таблиця. 4.1).

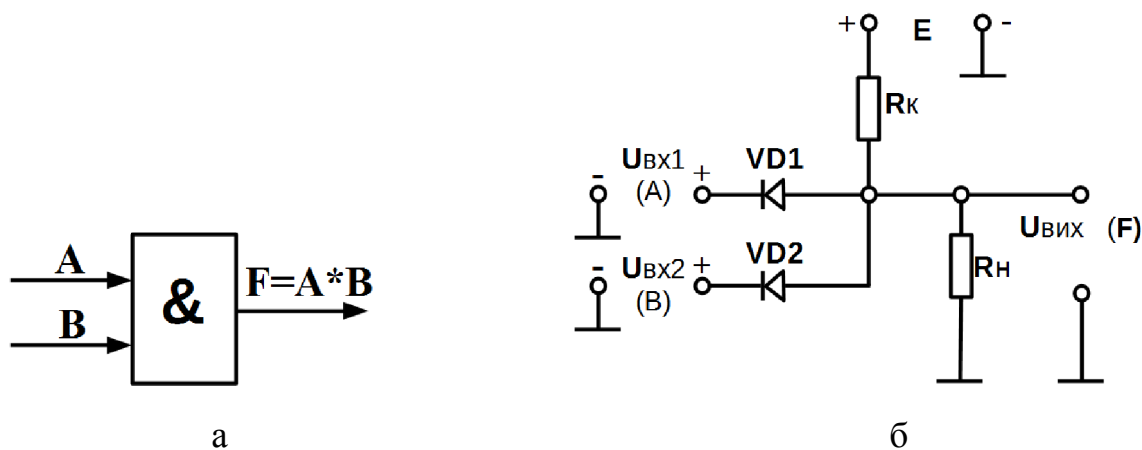


Рисунок 4.2 – Схема логічного елемента «І» на діодній елементній базі: а) функціональна схема; б) принципова схема

Таблиця 4.1. Таблиця істинності

№ набору	B	A	F
0	0	0	0
1	0	1	0
2	1	0	0
3	1	1	1

Термін «логічний» зазвичай використовують по відношенню до процедури прийняття рішення. В такому випадку, можна сказати, що логічний елемент – це така схема, яка «основуючись» на входних сигналах, «може вирішувати», що їй відповісти на виході – «так» або «ні». Схема кон'юктора на рисунку 4.2,б

відповідає «так» (на виході з'являється високий рівень напруги) тільки в такому випадку, коли на обидва її входи подані сигнали «так» (обидві входні напруги мають високий рівень).

На Рисунок 4.3 показана схема дослідження логічного елемента «І» в лабораторних умовах.

Входи логічного елемента підключені до ключів SA_1 і SA_2 . Індикатором виходу служить світлодіод. Якщо на входах А і В виникають сигнали низького логічного рівня (земля), то світлодіод не випромінює. Цю ситуацію відображає перший рядок(строка) таблиці 4.2.

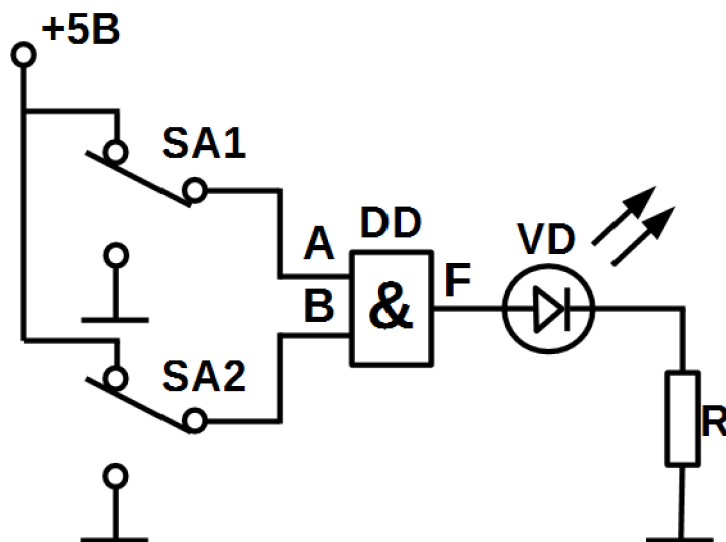


Рисунок. 4.3 – Функціональна схема двовхідного логічного елемента «І» з індикацією вихідного сигналу

Таблиця. 4.2 – Таблиця істинності

	Входи				Вихід	
	В		А		F	
	Рівень напруги	Двоякий сигнал	Рівень напруги	Двоякий сигнал	Випромін ювання	Двоякий сигнал
Рядок 1	Низький	0	Низький	0	Ні	0
Рядок 2	Низький	0	Високий	1	Ні	0
Рядок 3	Низький	1	Низький	0	Ні	0
Рядок 4	Високий	1	Високий	1	Є	1

Крім значень рівнів напруги і відмітки наявності випромінювання вхідні і вихідні сигнали в таблиці 4.2 позначені двоякими (двійковими) числами: 0 і 1. Згідно рядку 1, якщо на обидва входи подані двоякі нулі, то на виході логічного елемента також виникає двоякий нуль. Двояка одиниця на виході елемента І з'являється тільки в тому випадку, коли на обидва входи А і В подані двоякі одиниці.

Двоякі одиниці, або напруги високого рівня, в точках А, В або F відповідає потенціал +5В вносно землі. Двоякий нуль, або напруга низького рівня, в точках А, В або F відповідає потенціалу землі (точніше, близько до потенціалу землі, тобто до нуля). Ми використовуємо тут так звану «позитивну логіку», оскільки для отримання двоякої одиниці використовується позитивна напруга +5В. При роботі з цифровими електронними пристроями ми частіше за все будемо мати справу з «позитивною логікою».

4.3 Диз'юнктор (логічний елемент «АБО»)

Диз'юнктор реалізує логічну функцію

$$F = A \vee B = A + B. \quad (4.3)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 4.4,а), принципіальна схема (рисунок. 4.4,б) і таблиця істинності (таблиця 4.3).

Таблиця 4.3 Таблиця істинності

№ набору	B	A	F
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	1

Відмінність логічного елемента «АБО» полягає в тому, що на його виході з'являється сигнал низького рівня тільки тоді, коли на всі його входи подаються також сигнали низького логічного рівня.

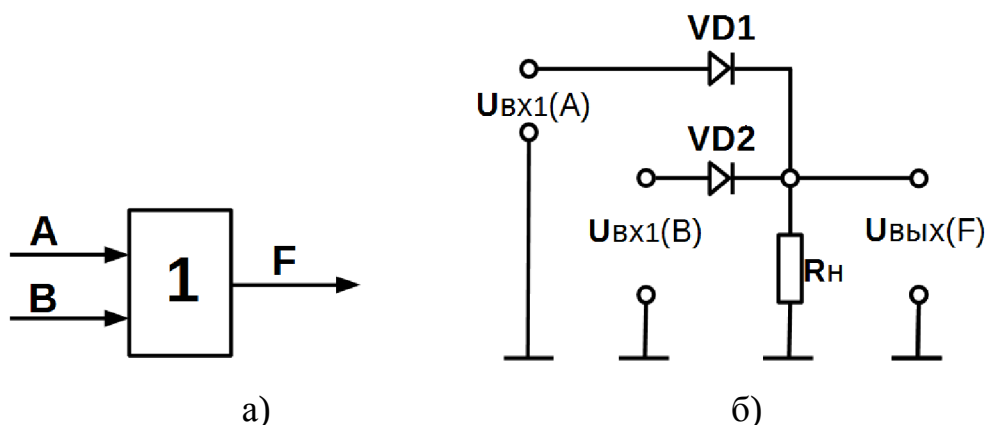


Рисунок. 4.4 – Схема логічного елемента «АБО» на діодній елементній базі:

а) функціональна схема; б) принципова схема

4.4 Повторювач

Реалізує логічну функцію:

$$F = A. \quad (4.4)$$

Його позначення на електричних схемах показано на рисунку 4.5.

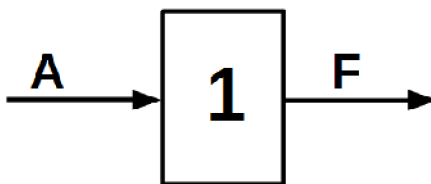


Рисунок. 4.5 – Функціональна схема повторювача

Повторювач не виконує ніяких логічних перетворень і використовується для підвищення завантажувальної здатності окремих виходів ІМС або виконує функцію елемента затримки, яка рівна часу розповсюдження сигналу через нього.

4.5. Логічний елемент «І-НІ»

Елемент І-НІ реалізує логічну функцію

$$F = \overline{A \cdot B} = \overline{A \wedge B} \quad (4.5)$$

Нижче показані(наведені) його позначення на електричних схемах [3] (рисунок 4.6,а), принципіальна схема (рисунок 4.6,б) і таблиця істинності (таблиця 4.4).

Таблиця 4.4 – Таблиця істинності

№ набору	B	A	F
0	0	0	1
1	0	1	1
2	1	0	1
3	1	1	0

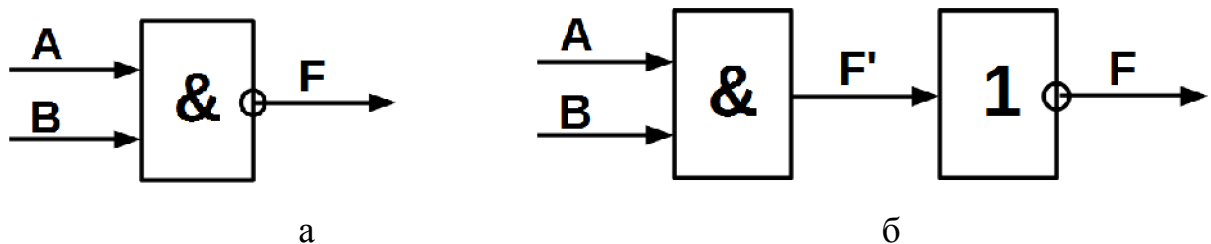


Рисунок 4.6 – Функціональні схеми логічного елемента «І-НІ», які виконані в різних формах

4.6 Логічний елемент «АБО-НІ»

Елемент АБО-НІ реалізує логічну функцію

$$F = \overline{A+B} = \overline{A \vee B} \quad (4.6)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 4.7,а), принципальна схема (рисунок. 4.7,б) і таблиця істинності (таблиця 4.5).

Таблиця 4.5 Таблиця істинності

№ набору	B	A	F
0	0	0	1
1	0	1	0
2	1	0	0
3	1	1	0

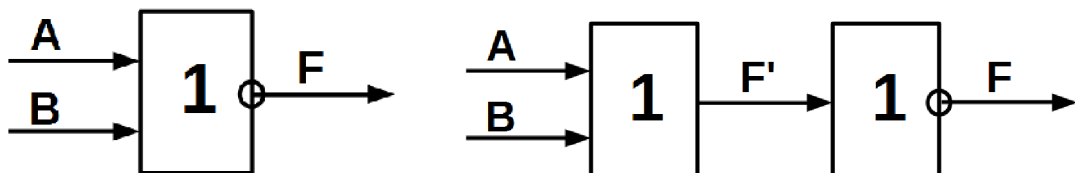


Рисунок. 4.7 – Функціональна схема логічного елемента «АБО-НІ» виконаного в різних формах

4.7 Логічний елемент «Виключаючи АБО»

Реалізує логічну функцію

$$F = A \nabla B. \quad (4.7)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок 4.8), і таблиця істинності (таблиця 4.6).

Таблиця 4.6 – Таблиця істинності

№ набору	B	A	F
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	0

Елемент називається «виключаючи» АБО, «т.к.» його таблиця істинності співпадає з таблицею істинності елемента АБО першими трьома рядками. В четвертому рядку елемента АБО, $F=1$, а елемента «виключаючи АБО» - нуль.

Нижче наведена таблиця істинності перемикаючої функції «виключаючи АБО» для 3-х-вхідних логічних змінних (таблиця 4.7).

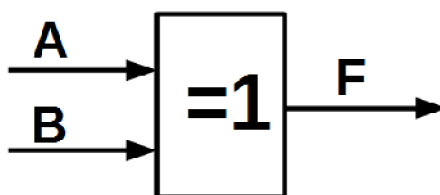


Рисунок. 4.8 – Функціональна схема логічного елемента «Виключаючи АБО»

Таблиця 4.7 – Таблиця істинності 4.7

№ набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

4.8 Логічна функція «сумування по модулю два» (непарність)

Елемент реалізує логічну функцію:

$$F = A \oplus B \oplus C . \quad (4.8)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 4.9), і таблиця істинності (таблиця 4.8).

Таблиця 4.8 – Таблиця істинності трьох змінних

№ набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

Елемент сумує значення змінних по модулю два (символ $\oplus$ (псевдоплюс) означає Σ_{mod2} : $0 + 0 = 0$; $1 + 1 = 0$; $1 + 0 = 1$; $0 + 1 = 1$).

Якщо при сумуванні число одиниць непарне, то функція рівна 1, в протилежному випадку – $F=0$.

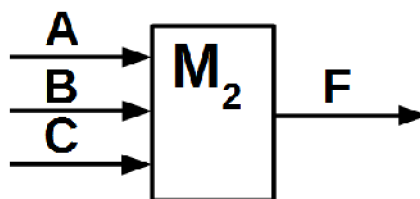


Рисунок 4.9 – Функціональна схема логічного елемента реалізуючого функцію «сумування по модулю 2»

4.9 Логічна функція «сумування по модулю два» з відмовою (парність)

Елемент реалізує логічну функцію:

$$F = \overline{A \oplus B \oplus C} \quad (4.9)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 4.10), і таблиця істинності (таблиця 4.9).

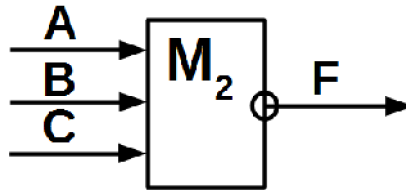


Рисунок 4.10 – Функціональна схема логічного елемента реалізуючого функцію «сумування по модулю 2» з відмовою

Елемент формує суму по модулю два, яка потім інвертується на виході. Якщо при сумуванні число одиниць парне, то функція рівна 1, в протилежному випадку – $F=0$.

Таблиця 4.9 – Таблиця істинності трьох змінних

№ набору	C	B	A	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

4.10 Логічна функція «Еквівалентність»

Елемент реалізує логічну функцію

$$F = \overline{A} \cdot \overline{B} \cdot \overline{C} + A \cdot B \cdot C \quad (4.10)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 4.11), і таблиця істинності (таблиця 4.10).

Функція рівна одиниці, коли всі змінні однакові (рівні одиниці або нулю). В протилежному випадку – $F = 0$.

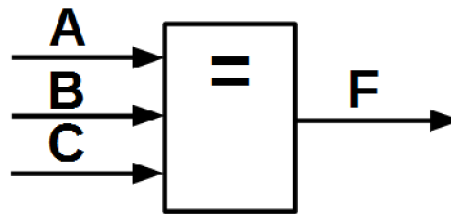


Рисунок 4.11 – Функціональна схема логічного елемента реалізуючого функцію «еквівалентність»

Таблиця 4.10 – Таблиця істинності трьох змінних

№ набору	C	B	A	F
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

4.11 Логічна функція «Нееквівалентність»

Елемент реалізує логічну функцію

$$F = \overline{A \cdot B \cdot C} + A \cdot B \cdot C \quad (4.11)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 4.12), і таблиця істинності (таблиця 4.11).

Таблиця. 4.11 – Таблиця істинності

№ набору	C	B	A	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Функція рівна одиниці, коли всі змінні неоднакові. В протилежному випадку – $F = 0$.

Якщо число логічних змінних рівне два, то логічна функція і елемент «нееквівалентність» співпадає з елементами «сума по модулю два» [3] і «виключаючи АБО» (таблиці 4.6 та 4.7). Тобто, якщо $N_{пер}=2$, то:

$$F = A \nabla B = A \oplus B = \bar{A} \cdot B + A \cdot \bar{B} = \overline{A \cdot B + \bar{A} \cdot \bar{B}}$$

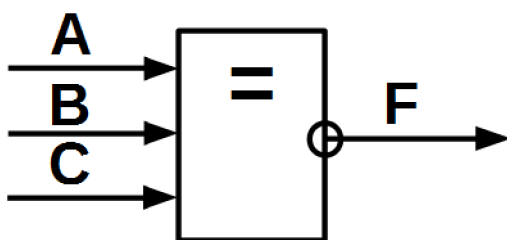


Рисунок. 4.12 Функціональна схема логічного елемента реалізуючого функцію «нееквівалентність»

4.12 Логічна функція «І-АБО-НІ»

Елемент реалізує більш складну логічну функцію, булево вираз якої має вигляд:

$$F = \overline{A \cdot B + C \cdot D} \quad (4.12)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок 4.13), і таблиця істинності (таблиця 4.12).

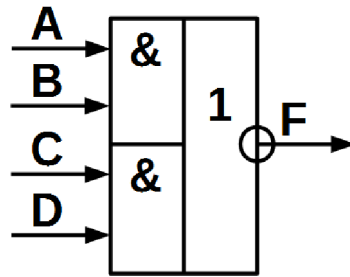


Рисунок 4.13 – Функціональна схема логічного елемента реалізуючого функцію «І-АБО-ІІІ»

Таблиця 4.12 – Таблиця істинності

№ набору	D	C	B	A	F
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	1
6	0	1	1	0	1
7	0	1	1	1	0
8	1	0	0	0	1
9	1	0	0	1	1
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	0

4.13 Логічна функція «Заборона»

Елемент реалізує логічну функцію:

$$F = A \cdot \overline{B} \quad (4.13)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 4.14), і таблиця істинності (таблиця 4.13).

Таблиця 4.13 – Таблиця істинності

№ набору	B	A	F
0	0	0	0
1	0	1	1
2	1	0	0
3	1	1	0

На виході такого елемента логічна одиниця буде лише в тому випадку, якщо на основному вході присутня логічна одиниця ($A=1$), а на забороненому вході – нуль ($B=0$).

В позначенні елемента на електричних схемах заборонений вхід помічений як інверсний – кружечком.

Забороненим сигналом на цьому вході буде логічна одиниця.

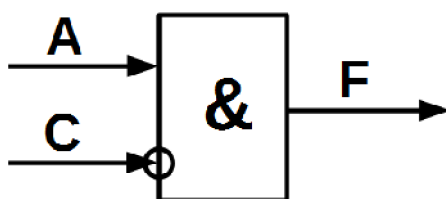


Рисунок 4.14 – Функціональна схема логічного елемента реалізуючого функцію «ЗАБОРОНА»

4.14 Логічні елементи з відкритим колектором

При побудові цифрових пристроїв часто виникає необхідність об'єднання виходів деяких логічних елементів з ціллю переходу на загальну вихідну пряму. Цю задачу можна вирішити за допомогою елемента «АБО» (рисунок. 4.15).

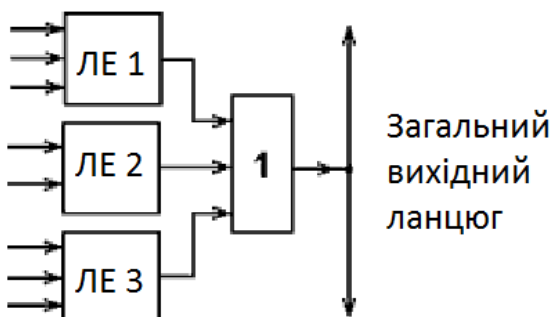


Рисунок 4.15 – Функціональна схема логічного елемента реалізуючого функцію «Об'єднуюча виходи»

При цьому приходится миритись з додатковими схемними затратами і збільшенням сумарної затримки проходження цифрових сигналів через пристрій [4].

Другий спосіб заснований на використанні логічних елементів з відкритим колектором, в полі функціонального позначення яких є спеціальний символ $\diamond$, котрий вказує, що колектор вихідного транзистора відкритий (обірваний, «вісить в повітрі»).

На рисунку 4.16 показано об'єднання деяких логічних елементів з відкритим колектором на загальний вихід.

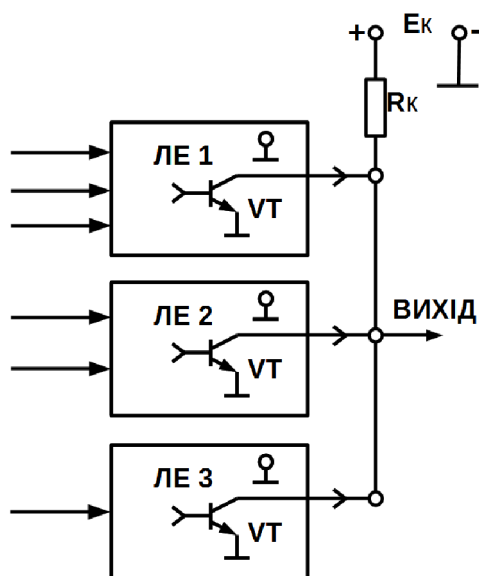


Рисунок 4.16 – Функціональна схема логічного елемента реалізуючого функцію «Об'єднуюча виходи» з відкритим колектором

Для нульових сигналів на виходах логічних елементів ЛЕ1...ЛЕ3 (відповідний вихідний транзистор відкритий) дана схема виконує функцію «монтажне АБО» при появі логічного нуля хоча б на одному з виходів логічних елементів вихідний сигнал також буде рівний нулю.

Для одиничних сигналів на виходах логічних елементів ЛЕ1...ЛЕ3 (відповідний вихідний транзистор закритий) схема виконує функцію «монтажне І»: вихідний сигнал рівний одиниці тільки при одночасній появі логічних одиниць на виходах всіх логічних елементів.

За рахунок технології виготовлення вихідного транзистора і отримання від нього заданих характеристик елементи з відкритим колектором мають більш високу навантажувальну здатність, ніж звичайні ЛЕ, тому можуть використовуватись для підключення навантажень типу тиристорів, реле, індикаторів (світлодіодів) та ін. (рисунок. 4.17).

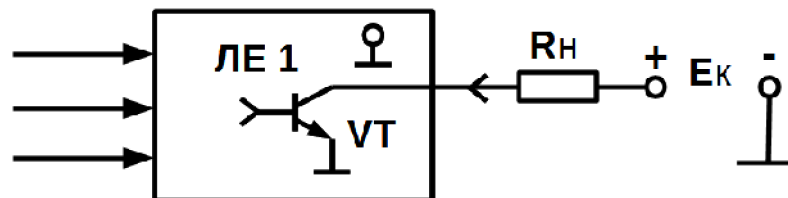


Рисунок 4.17 – Функціональна схема логічного елемента реалізуючого функцію «Об’єднуюча виходи» з відкритим колектором

При цьому необхідно забезпечити виконання вимоги:

$$I_n \leq I_{\text{облх}}^0, \quad (4.14)$$

де I_n – струм навантаження; $I_{\text{облх}}^0$ – значення допустимого струму, який може протікати через відкритий вихідний транзистор логічного елемента (рисунок. 4.17).

На рисунку 4.18 зображений приклад підключення на вихід ЛЕ з відкритим колектором світлодіода VD.

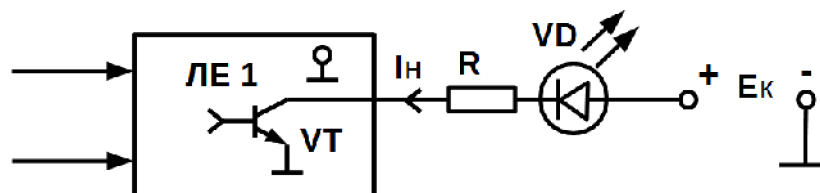


Рисунок 4.18 – Функціональна схема логічного елемента реалізуючого функцію «Об’єднуюча виходи» з відкритим колектором і світлодіодом

Коли з виходу ЛЕ знімається логічний 0, вихідний транзистор VT відкритий, і світлодіод VD виявляється ввімкнутим в прямому напрямку. При протіканню через VD прямого струму останній запалюється. Струм I_n дорівнює струму запалювання світлодіоду $I_{заж. VD}$, який складає ≤ 20 мА. Падіння напруги на відкритому діоді $U_{VD.пр}$ складає (1,7...2) В. Резистор R обмежує величину прямого струму і розраховується за формулою:

$$R = \frac{E_k - U_{VD.пр}}{I_{заж. VD}}. \quad (4.15)$$

Наприклад, якщо $E_k=5$ В; $U_{VD.пр}=2$ В; $I_{заж. VD}=20$ мА, то $R=(5-2)/(20 \cdot 10^{-3})=150$ Ом.

4.15. Логічні елементи з третім станом

Один із способів підключення логічних елементів на загальний вихід, який найбільш широко використовується, заснований на використанні в їх вихідних ланцюгах електронних буферних схем, здатних під дією керуючих сигналів або підключати до навантаження вихідний логічний сигнал, приймаючий значення (стану) 0 чи 1, або відключати вихід від навантаження (переводити його в так званий 3-ій (Z-стан).

Нижче показані: позначення логічного елемента [2,11] (повторювача) з трьома станами на електричних схемах (рисунок 4.19,а) і принципіальна схема його вихідного каскаду, який забезпечує 3 стани вихідного сигналу: логічний 0; логічну 1 і 3-ій (Z) стан (рисунок 4.19,б).

У поле функціонального значення логічних елементів з трьома станами є спеціальний символ $\diamond$.

Крім основних входів, на які подаються вхідні логічні змінні, схожі елементи містять управляючий вхід «Вибір кристала» – CS, активним сигналом на котрому, як правило, являється логічний 0 (рисунок 4.19,а).

Три стани вихідних сигналів забезпечуються керуючими сигналами на базах транзисторів VT_1 і VT_2 (рисунок 4.19,б):

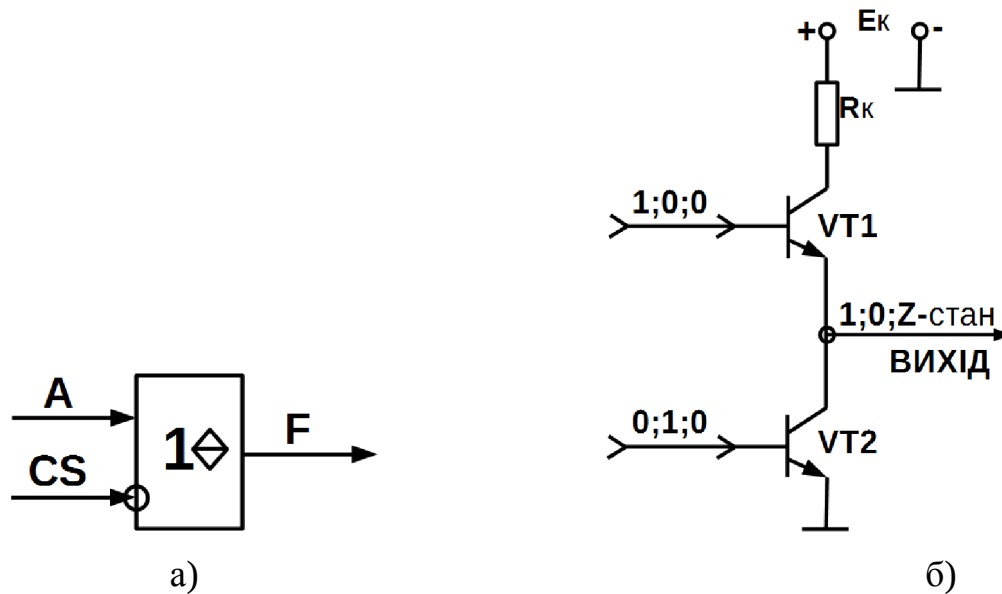


Рисунок 4.18 – Схема повторювача: а) функціональна схема; б) принципова схема

Одиничний стан – на базі VT_1 – одиниця (транзистор – відкритий); на базі VT_2 – нуль (транзистор - закритий) і з виходу знімається логічна 1;

Нульовий стан - на базі VT_1 – нуль (транзистор - закритий); на базі VT_2 – одиниця (транзистор - відкритий) і з виходу знімається логічний 0;

Z – стан – на базах VT_1 і VT_2 – логічні нулі (обидва транзистора закриті) і вихід зірваний від загальної шини (знаходиться у (Z) стані).

Елементи з трьома станами широко використовуються в мікропроцесорній техніці для підключення виходів різних приладів мікропроцесорній системі в загальній шині.

4.16. Базова логіка

4.16.1. Серії КМОН. ЕЗЛ

На рисунку 4.20 показано один зі способів узгодження рівнів сигналів, що надходять від виходу ТТЛ елемента на вхід КМОН-структури.

В базовому колі такої транзисторної схеми, встановлені 2 резистори, які створюють вхідний «поріг», що приблизно рівний падінню напруги на 2-х діодах, забезпечуючи хорошу перешкодостійкість. «Пришвидшуючий» конденсатор збільшує швидкість переключення. Іноді резистор R_2 відсутній і тоді транзистор відкривається при вхідній напрузі, що приблизно рівна 0,7 В. В даному випадку не забезпечуватиметься достатня перешкодостійкість.

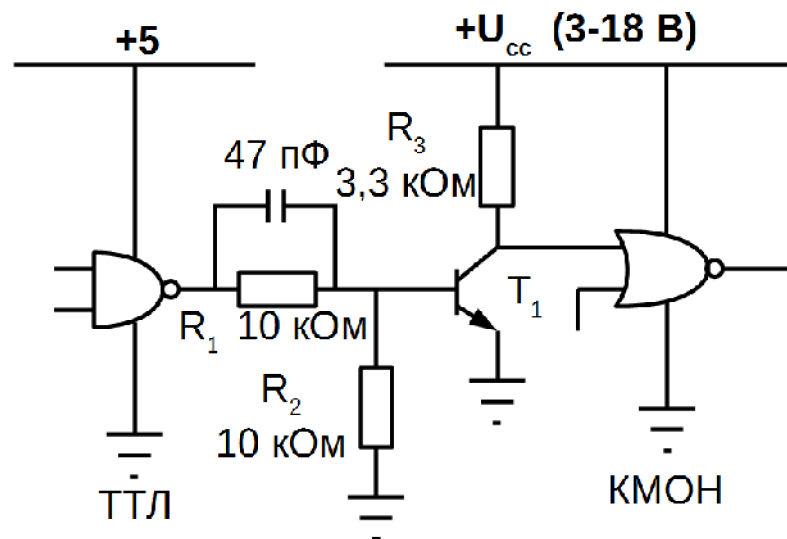


Рисунок 4.20 – Схема узгодження рівнів сигналів, що надходять від виходу ТТЛ елемента на вхід КМОН-структури

Величина навантажувального резистора може бути більшою при меншій важливості перешкодостійкості. Інакше номінал має вибиратись меншим.

На рисунку 4.21 бачимо аналогічну ситуацію, лише проходить зворотнє узгодження від КМОН до ТТЛ.

В даному випадку ситуація майже аналогічна до першого випадку і навіть каскад є та-кож інвертуючим.

Мікросхеми серій K176, K561, Кр1561 випускаються в пластмасових корпусах з дворядним розташуванням 14, 16 або 24 штирьових виводів, а мікросхеми серії 564 - в корпусах з тією ж кількістю виводів, розташованих в одній площині, в так званих планарних корпусах. Номінальна напруга живлення мікросхем серії K176 - 9 В $\pm 5\%$, проте вони, як правило, зберігають працездатність в діапазоні живлячої напруги від 5 до 12 В. Для мікросхем серій

K561 і 564 гарантується працездатність при напрузі живлення від 3 до 15 В, для Кр1561 - від 3 до 18 В. Діапазон робочих температур мікросхем серії К176 від -10 до +70 °С, серій К561 і Кр1561 від -45 до +85°С, серії 564 від -60 до +125 °С.

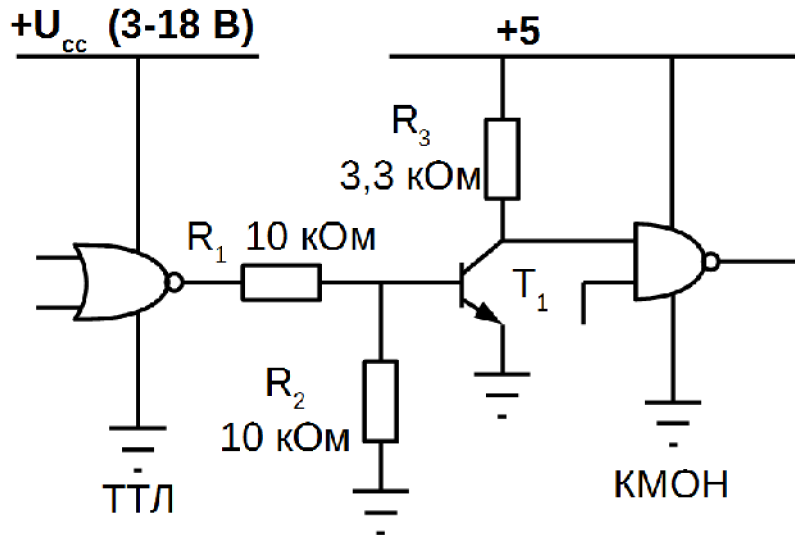


Рисунок 4.21 – Схема узгодження рівнів сигналів, що надходять від виходу КМОН-структури на вхід ТТЛ елемента

Вихідні рівні мікросхем при роботі на однотипні мікросхеми практично не відрізняються від напруги живлення і потенціалу спільного дроту. Максимальний вихідний струм більшості мікросхем серій К176, К561 і 564 не стандартизований і не перевищує одиниць міліампер, що декілька утрудняє безпосереднє узгодження мікросхем цих серій з якими-небудь індикаторами і мікросхемами ТТЛ-серій.

Відмітною особливістю мікросхем серії Кр1561 є наявність буферних елементів не лише на виходах складних елементів, як в мікросхемах серій К176, К561 і 564, але і на входах і виходах всіх мікросхем, незалежно від їх складності. Крім того, в мікросхемах серії Кр1561 покращуваний захист від перевантажень як по входу, так і по виходу, у вихідні ланцюги додані невеликі струмообмежувальні резистори.

Стандартні статичні характеристики навантажень мікросхем серії Кр1561 наступні. При балка. 0 на виході і вихідній напрузі 0,4; 0,5; 1,5 У вихідний впадаючий струм не менше 0,44; 1,1; 3 мА при напрузі живлення 5, 10, 15 У

відповідно. Ті ж норми існують і для витікаючих струмів в змозі балка. 1 при вихідній напрузі 4,6; 9,5; 13,5 У відповідно. Крім того, гарантується, що при напрузі живлення 5 В, вихідній напрузі 2,5 У вихідний витікаючий струм при балка. 1 складе не менше 1,36 мА.

Реально вихідні струми мікросхем серії Кр1561 значно більше. При балка. 0 на виході і вихідній напрузі 0,5 У вихідний струм складає приблизно 3...5, 5...10, 6...15мА при напрузі живлення 5, 10, 15 У відповідно. Аналогічно витікаючий струм в змозі балка. 1 при вихідній напрузі, на 0,5 В меншому, ніж напруга живлення, складає при тій же напрузі живлення приблизно 1,2... 1,5; 2...3; 3...4 мА.

При напрузі на виході 1 У в змозі балка. 0 вихідний впадаючий струм складає 6...10, 10...20, 12...25 мА при вказаній вище напрузі живлення, при напрузі, на 1 В меншому напруга живлення, в змозі балка. 1 витікаючий струм 2...3, 4...5, 5...7 мА відповідно.

Струм короткого замикання при напрузі 5 В складає близько 10 мА в змозі балка. 0 і близько 6 мА в змозі балка. 1, що дозволяє підключати практично будь-які світлодіоди до виходів мікросхем цієї серії без обмежувальних резисторів. При напрузі живлення

10 або 15 В струм короткого замикання може досягати 20...60 мА, тому включення обмежувальних резисторів необхідне.

Вихідний струм 0,44 мА в змозі балка. 0 при напрузі на виході 0,5 В і напрузі живлення 5 В гарантує нормальну роботу мікросхем серії Кр1561 на один вхід мікросхем серії К555. Оскільки, як указувалося вище, реальний вихідний струм в цих умовах більший, мікросхеми серії Кр1561 можна навантажувати на декілька входів мікросхем серії К555 або на один вхід мікросхеми серії До 155.

Напруга живлення на мікросхеми даних серій подається на вивід з найбільшим номером, спільний дріт підключається до виводу з удвічі меншим номером. Виняток становлять мікросхеми К561пу4 і Кр1561пу4, а також мікросхеми, що вимагають для своєї роботи два джерела живлення. Всі виключення відмічені далі при описі конкретних мікросхем.

При використанні мікросхем слід пам'ятати, що захист входів мікросхем діодами від статичної електрики не є повній. Тому при монтажі пристроїв з мікросхемами КМОН необхідно дотримувати наступні правила.

Для виключення випадкового пробоя за рахунок статичної електрики потенціали вмонтовуваної плати, паяльника і тіла монтажника мають бути зрівняні. Для цього на ручку паяльника можна намотати декілька витків неізолюваного дроту або укріпити металеву пластинку і з'єднати через резистор 100...200 кОм з металевими частками паяльника. Звичайно, обмотка паяльника не повинна мати контакту з його жалом. При монтажі вільною рукою слід стосуватися шин живлення вмонтовуваної плати. Якщо мікросхема знаходиться в металевій коробці або її виводи упаковані у фольгу, перш ніж узяти мікросхему, слід доторкнутися до коробки або фольги. При передачі мікросхеми з рук в руки слід зрівняти потенціали тих, що беруть участь в цьому, доторкнувшись один до одного до моменту передачі.

Вживання мікросхем КМОН-серій має свої особливості. Жоден з входів мікросхем не може бути залишений непідключеним, навіть якщо логічний елемент в мікросхемі не використаний. Вільні входи елементів повинні б'гть або сполучені з використовуваними входами того ж елементу або підключені до шини живлення або до спільного дроту відповідно до логіки роботи мікросхеми. Напруга джерела живлення повинна подаватися раніше або одночасно з подачею вхідних сигналів.

У будь-якому пристрої, зібраному на мікросхемах структури КМОН, рекомендується перед першим включенням перевірити продзвоном подачу напруги живлення на всі виводи живлення і ті виводи мікросхем, на які напруга живлення подається відповідно до принципової схеми. Річ у тому, що мікросхема КМОН із-за наявності вхідних захисних діодів може працювати без подачі напруги на виведення живлення, якщо хоч би на один з входів мікросхеми подана напруга живлення або балка. 1. Аналогічно слід перевірити ланцюг спільного дроту з тієї ж причини.

У таблиці. 7 приведені позначення більшості мікросхем даних серій, число виводів корпусу, гранична частота роботи деяких мікросхем, а також номер малюнка книги, де дано графічне позначення мікросхеми. Для мікросхем серії K176 гранична частота дана для напруги 9 В, для серій K561 і 564 - для 5 і 10 В, для серії Кр1561 - для 5, 10 і 15 Ст

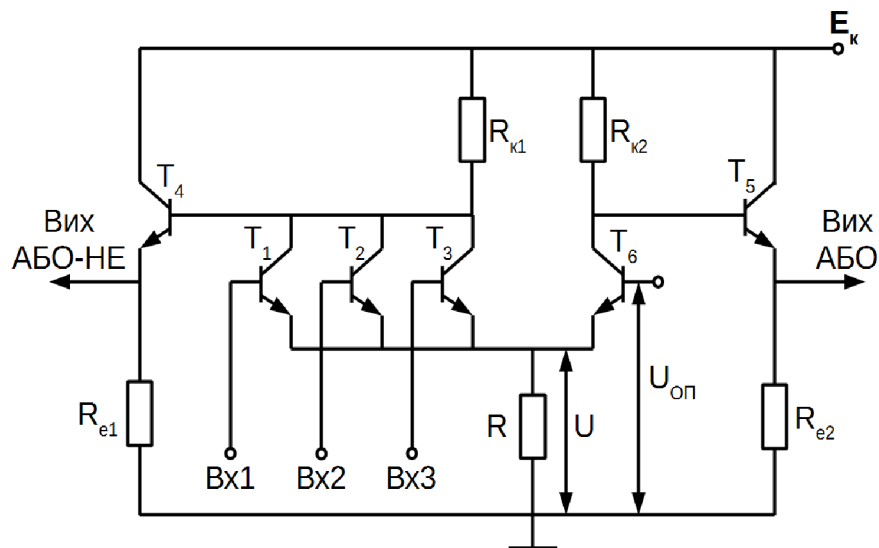
Логіка роботи мікросхем з однаковим буквенно-цифрові позначенням біля серій K176, K561, Кр1561 і 564 повністю збігається, збігаються реальні електричні параметри біля мікросхем серій K561 і 564, хоча паспортні норми у них різні. Тому тут розглядаються лише ті мікросхеми серії 564, які або відсутні в інших серіях, або мають інші буквенно-цифрові позначення.

Найбільш швидкодіючими логічними ІМС у даний час є елементи емітерно-зв'язаної логіки (ЕЗЛ) і особливо елементи емітерно-зв'язаної логіки з емітерними повторювачами на вході (ЕЕЗЛ). Ці елементи працюють у режимі переключення струму, і в них висока швидкодія забезпечується, насамперед, за рахунок запобігання насичення транзисторів шляхом введення глибокого зворотного зв'язку по струму за допомогою резистора в колі емітера. Цей зворотний зв'язок одночасно сприяє скороченню тривалості перехідних процесів у базі транзисторів. Немаловажну роль грають обмеження меж зміни перепадів напруги і використання емітерних повторювачів для введення і знімання інформації.

Найбільш простим елементом на перемикачах струму є елемент ЕЗЛ, схема якого показана на Рисунок 4.22. Особливості елементів з об'єднаними емітерами зручно пояснити на прикладі цього елемента.

Основу розглянутої групи ІМС складає перемикач струму, що являє собою ключовий елемент на транзисторах з об'єднаними емітерами, (на Рисунок 4.22 транзистори T_1 — T_3 і T). У емітерне коло транзисторів задається струм I_0 постійного значення. Сталість струму I_0 підтримується або шляхом включення в коло емітерів порівняно високоомічного резистора R або шляхом використання транзисторного джерела струму. Значення струму I_0 вибирають так, щоб у нормальному режимі роботи елемента виключалося насичення транзисторів, що утворюють перемикач струму.

Рисунок 4.22 – Мікросхема ЕЗЛ



У колі послідовно включених перемикачів струму колекторні потенціали не можна безпосередньо використовувати як вхідні напруги для керування наступними ІМС, тому що вони перевищують рівні відповідних потенціалів на входах. Для нормальної роботи ІМС необхідно зробити зрушення рівня колекторних потенціалів. Для цієї мети найбільше часто використовують емітерні повторювачі, що підключаються до колекторів вхідних транзисторів і транзистора з фіксованим зсувом (Рисунок 1 повторювачі на транзисторах T_4 і T_5). При цьому

зрушення рівня дорівнює перепаду напруги між базою і емітером $U_{бэ.сд}$ транзистора. Цим перепадом напруги лімітується розмах логічного сигналу $\Delta U_{лог} = U_{вых}^1 - U_{вых}^0$.

Дійсно, на базу вхідного транзистора в провідному стані подається вхідна напруга $U_{вых}^1 \approx E_k - U_{бэ.сд}$, яке відповідає логічній 1, що призводить до відмикання цього транзистора і зниженню потенціалу колекторів вхідних транзисторів. При цьому, щоб відкритий транзистор не насичувався, Необхідно забезпечити виконання умови

$U_{к1} \geq U_{б1} \approx E_k - U_{бэ.сд}$, що можливо тільки в тому випадку, якщо перепад напруги на колекторі не перевищує напруга зрушення, створена повторювачем, тобто при:

$$\Delta U_{лог} = I_0 \alpha_N R_k \leq U_{бэ.сд}. \quad (4.16)$$

Порушення цієї умови приводить до насичення транзистора, тому що потенціал його колектора виявляється нижче потенціалу бази. Отже, збільшення розмаху логічного сигналу, який визначається перепадом напруги в колекторному колі вхідних транзисторів, припустимо тільки при відповідному збільшенні зсуву рівня $U_{бэ.сд}$. Цього можна досягти, наприклад, шляхом вмикання додаткового діода, що зміщає, у емітерні кола транзисторів T_4 і T_5 . Емітерні повторювачі (без зсувних діодів) забезпечують зсув рівня, що складає 0,8 - 0,9 В. Розмах логічного сигналу, дорівнює цьому значенню, виявляється достатнім для більшості цифрових автоматів, побудованих на елементах ЕЗЛ. При цьому, щоб одержати однаковий розмах логічного сигналу на що інвертуючому і неінвертуючому виходах елемента значення опорів резисторів $R_{к1} = R_{к2}$ вибираються рівними один одному: $R_{к1} = R_{к2} = R_k$.

Включення повторювачів призводить також до зменшення вихідного опору елемента, що сприяє підвищенню його навантажувальної здатності і швидкодії. Таким чином, перемикач струму, доповнений емітерними повторювачами, стає логічним елементом, що реалізує операції АБО-НІ і АБО. Сигнал, що

відповідають операції АБО-НІ, знімається з виходу повторювача, підключеного до інвертуючої половини елемента (тобто до колекторів вхідних транзисторів), а сигнал, що відповідає операції АБО, — з виходу повторювача, зв'язаного з транзистором Т.

Елементи на перемикачах струму виготовляються у вигляді напівпровідникових чи сполучених ІМС. Так як в цих ІМС транзистори працюють без насичення, то шляхом підключення підкладки та ізолюючих шарів к точкам відповідно з найменшим і найбільшим потенціалами можна замкнути паразитні транзистори, вимкнувши тим самим їх активну дію. Тому в ІМС на перемикачах струму виявляється тільки ємнісний вплив підкладки.

На рисунку 4.23 показана перемикальна характеристика мікросхеми ЕЗЛ для двох її виходів: інвертуючого ($U_{\text{вих1}}$) та неінвертуючого ($U_{\text{вих2}}$).

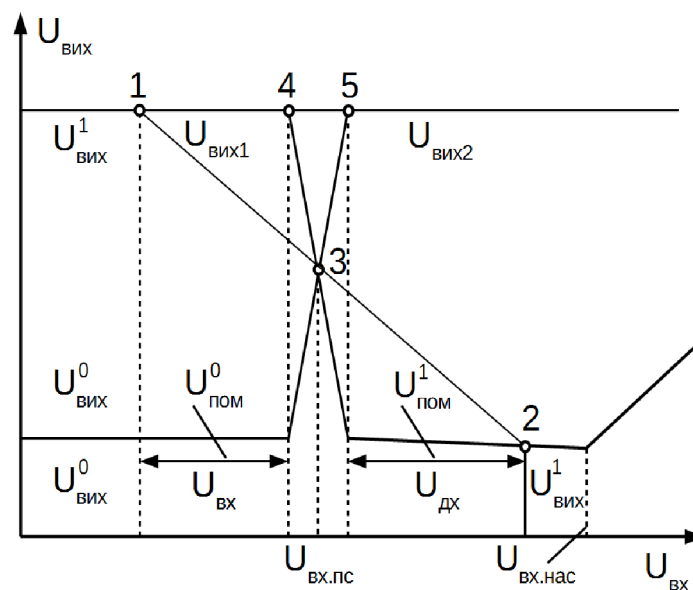


Рисунок 4.23 – Перемикальні характеристики мікросхеми ЕЗЛ

При вхідних напругах, менших потенціалу відмикання, вхідні транзистори залишаються замкненими і на інвертуючому встановлюється високий потенціал:

$$U_{\text{вих}}^1 \approx E_{\kappa} - I_{\text{ec}} I_{\kappa 3} R_{\kappa} - U_{\text{бе,сд}} \approx E_{\kappa} - U_{\text{бе,сд}}, \quad (4.17)$$

Відповідний логічний 1 ($I_{эс}$ — число вхідних транзисторів). При цьому струм I_0 цілком відбирається транзистором T з фіксованим зсувом і на неінвертуючому виході устанавлюється низький потенціал:

$$U_{вих}^0 \approx E_{\kappa} - \alpha_N I_0 R_{\kappa} - U_{\bar{b}e.cd} \approx E_{\kappa} - \Delta U_{лог} - U_{\bar{b}e.cd}, \quad (4.18)$$

відповідний логічному 0. Розмах логічного сигналу:

$$\Delta U_{лог} = \alpha_N I_0 R_{\kappa} \quad (4.19)$$

Коли напруга $U_{ВХ}$ досягає потенціалу відмикання, вхідні транзистори починають проводити, і струм I_0 частково відгалужується в емітери провідних транзисторів. Якщо одночасно проводять $I_{пр}$ вхідних транзисторів (із загального числа $I_{эс}$), то потенціал колектора цих транзисторів зменшується і відповідно знижується напруга на інвертуючому виході до рівня:

$$U_{вих}^1 \approx E_{\kappa} - I_{ec} I_{кз} R_{\kappa} - U_{\bar{b}e.cd} \approx E_{\kappa} - U_{\bar{b}e.cd} \quad (4.20)$$

Через перерозподіл струму I_0 змінюється і напруга на неінвертуючому виході:

$$U_{вих}^0 \approx E_{\kappa} - \alpha_N I_0 R_{\kappa} - U_{\bar{b}e.cd} \approx E_{\kappa} - \Delta U_{лог} - U_{\bar{b}e.cd} \quad (4.21)$$

Струми емітерів $I_{э1}$ і $I_{э}$ відповідно для вхідних транзисторів і транзистора T визначаються співвідношеннями:

$$I_{e1} \approx \frac{I_{eT}}{1 - \alpha_N \alpha_I} \left(\exp \frac{U_{e1}}{m_e \varphi_T} - 1 \right) \approx \frac{I_{eT}}{1 - \alpha_N \alpha_I} \exp \frac{(U_{вх} - U_0)}{m_e \varphi_T}, \quad (4.22)$$

$$I_e \approx \frac{I_{eT}}{1 - \alpha_N \alpha_I} \left(\exp \frac{U_e}{m_e \varphi_T} - 1 \right) \approx \frac{I_{eT}}{1 - \alpha_N \alpha_I} \exp \frac{(U_{он} - U_0)}{m_e \varphi_T}. \quad (4.23)$$

де, $U_0 = I_0 R$ — потенціал об'єднаних емітерів відносно загальної шини живлення.

При відмиканні вхідних транзисторів трохи змінюється струм I_0 і відповідно потенціал об'єднаних емітерів U_0 . Зміна струму I_0 настільки незначна, що їм можна не враховувати. Не так істотно змінюється і потенціал U_0 (у порівнянні зі своїм середнім значенням). Однак ця незначна зміна U_0 порівнянна з напругою на емітерних переходах транзисторів. Саме вона призводить до зміни струму емітера I_3 транзистора з фіксованим зсувом, тому для правильного розрахунку перемикальної характеристики $U_{\text{вих1}}^1 \text{ та } U_{\text{вих2}}^0$ необхідно враховувати зміну U_0 зі зміною вхідної напруги $U_{\text{вх}}$. Залежність U_0 про від $U_{\text{вх}}$ можна визначити із рівняння $I_0 = I_{\text{пр}}I_{\text{э1}} + I_3$, представивши його в наступному виді:

$$I_0 \approx I_{\text{пр}} \frac{I_{eT}}{1 - \alpha_N \alpha_I} \exp \frac{(U_{\text{вх}} - U_0)}{m_e \varphi_T} + \frac{I_{eT}}{1 - \alpha_N \alpha_I} \exp \frac{(U_{\text{он}} - U_0)}{m_e \varphi_T}, \quad (4.24)$$

Визначивши із цього рівняння:

$$\exp \left(- \frac{U_0}{m_e \varphi_T} \right) = \frac{\left(I_0 \exp \left(- \frac{U_{\text{вх}}}{m_e \varphi_T} \right) \right)}{I_{\text{пр}} \frac{I_{eT}}{1 - \alpha_N \alpha_I} \left(1 + \frac{\frac{1}{I_{\text{пр}}} \exp(U_{\text{он}} - U_{\text{вх}})}{m_e \varphi_T} \right)}; \quad (4.25)$$

можна виразити залежність вихідних напруг від вхідної напруги наступними співвідношеннями:

$$U_{\text{вих1}} \approx E_K - U_{\text{бе.сд}} - \frac{\Delta U_{\text{лог}}}{1 + \frac{1}{I_{\text{пр}}} \frac{\exp(U_{\text{он}} - U_{\text{вх}})}{m_e \varphi_T}}, \quad (4.26)$$

$$U_{\text{вих2}} \approx E_K - U_{\text{бе.сд}} - \frac{\Delta U_{\text{лог}}}{1 + I_{\text{пр}} \frac{\exp(U_{\text{он}} - U_{\text{вх}})}{m_e \varphi_T}}. \quad (4.27)$$

При зміні вхідної напруги трохи міняється і різниця потенціалів $U_{\text{бэ.сд}}$ на емітерному переході транзисторів у схемах повторювачів. Тому що в робочому

діапазоні відхилення $U_{бэ.сд}$ від свого середнього значення незначні, то при практичних розрахунках ними можна зневажати, прийнявши:

$$U_{бэ.сд} \approx m_e \varphi_T \ln \left(\frac{(U_{вих}^t + U_{вих}^0)}{2R_e I_{eT}} (1 - \alpha_N \alpha_1) \right). \quad (4.28)$$

Це значення $U_{бэ.сд}$ відповідає середньому значенню струму емітера транзистора в схемі повторювача, який визначається зі співвідношення:

$$I_{e.cp} = (U_{вих}^t + U_{вих}^0) / 2R_e; \quad (4.29)$$

де $R_e = R_{e1} = R_{e2}$.

Тому що $U_{вих}^1$ та $U_{вих}^0$ визначаються через $U_{бэ.сд}$, то при первісних розрахунках зручно замість формули (4.24) скористатися співвідношенням:

$$U_{бэ.сд} \approx m_e \varphi_T \ln \left(\frac{U_{он}(1 - \alpha_N \alpha_I)}{R_e I_{eT}} \right); \quad (4.30)$$

заснованим на рівності $U_{он} = 0,5(U_{вих}^1 + U_{вих}^0)$, до виконання якого звичайно прагнуть, щоб забезпечити симетрію елемента по граничних напругах.

Коли транзистор Т перестає проводити, струм I_0 цілком відбирається провідними входними транзисторами. Після цього зі збільшенням входної напруги спостерігається зменшення напруги на інвертуючому виході $U_{вих1}$. Тому що після повного переключення струму I_0 провідні входні транзистори працюють із глибоким негативним зворотним зв'язком по струму, що протікає через резистор R , то зменшення $U_{вих1}$ незначне. При напрузі $U_{вх.нас}$ транзистори насичуються, їхній базовий струм відгалужується в колекторний ланцюг, зменшуючи перепад напруги на $R_{к1}$, тому $U_{вих1}$ зростає (рисунок 4.23). Насичення входних транзисторів порушує нормальний режим роботи ІМС, тому шляхом відповідного підбора параметрів схеми і напруг джерел живлення такий режим роботи вимикається.

Як видно з графіків (рисунок 4.23), перемикальні характеристики $U_{вих1}$ і $U_{вих2}$ перетинаються в точці 3, координати якої можна визначити з рівняння $U_{вих1} = U_{вих2}$. На підставі цього рівняння можна показати, що перемикальні характеристики перетинаються при вхідній напрузі:

$$U_{вх.нс} = U_{он} - m_e \varphi_T \ln I_{np}; \quad (4.31)$$

При цьому:

$$U_{вих1} = U_{вих2} = E_K - U_{бе.сд} - \Delta U_{лог} / 2; \quad (4.32)$$

тобто в точці перетину:

$$U_{вих1} = U_{вих2} = 0,5(U_{вих}^1 + U_{вих}^0). \quad (4.33)$$

Якщо опорна напруга обрана рівним середньому значенню $U_{вих}^1$ та $U_{вих}^0$, тобто:

$$U_{он} = \frac{(U_{вих}^1 + U_{вих}^0)}{2} = E_K - U_{бе.сд} - \frac{\Delta U_{лог}}{2}. \quad (4.34)$$

те робочі точки 1 і 2 розташовуються симетрично щодо середньої точки 3 для $I_{пр} = 1$.

Тому що в мікросхемі ЕЗЛ транзистори працюють в активній області у всьому робочому діапазоні зміни вхідної напруги, те перешкодостійкість обмежується напругою, при якій коефіцієнт підсилення логічного елемента по відповідним виходах зростає до 1. На підставі (4.23) можна показати, що коефіцієнт підсилення по інвертуючому виходу стає рівним мінус одиниці ($K_{u1} = \frac{dU_{вих1}}{dU_{вх}} = -1$) при вхідній напрузі:

$$U_{вх.нс} = U_{он} - m_e \varphi_T \ln I_{np}; \quad (4.35)$$

а по неінвертуючому виході-одиниці ($K_{u2} = \frac{dU_{вих2}}{dU_{вх}}$) , коли вхідна напруга досягає:

$$U_{вх.н} = U_{он} + m_e \varphi_T \ln \left(\frac{K}{I_{np}} \right). \quad (4.36)$$

Коефіцієнт К визначається виразом:

$$K = \frac{\Delta U_{лог}}{2m_e \varphi_T} \left(1 + \sqrt{1 - \frac{4m_e \varphi_T}{\Delta U_{лог}}} \right) - 1 \approx \frac{\Delta U_{лог}}{m_e \varphi_T}. \quad (4.37)$$

Перешкодостійкість ІМС, яка визначається як різниця вхідних напруг у робочих струмах і при одиничному коефіцієнті підсилення, розраховується за формулами:

$$U_{ном}^0 = U_{вх.і} - U_{вих}^0 \approx \frac{\Delta U_{лог}}{2} - m_e \varphi_T \ln \left(\frac{I_{np} \Delta U_{лог}}{m_e \varphi_T} \right), \quad (4.38)$$

$$U_{ном}^1 = U_{вих}^1 - U_{вх.н} \approx \frac{\Delta U_{лог}}{2} - m_e \varphi_T \ln \left(\frac{\Delta U_{лог}}{I_{np} m_e \varphi_T} \right); \quad (4.39)$$

які виходять на підставі формул, виведених вище. Помітимо, що при $I_{np}=1$ перешкодостійкість для логічної 1 і логічного 0 по входу виявляється однаковою. Зі збільшенням числа провідних транзисторів I_{np} симетрія ІМС по перешкодостійкості порушується; перешкодостійкість для логічної 1 стає більше перешкодостійкою для логічного 0.

При визначенні навантажувальної здатності і коефіцієнта об'єднання по входу в ІМС на перемикачах струму припустимі значення перешкодостійкості не є визначальними, як це має місце для інших типів логічних елементів. Для розглянутої групи ІМС зазначені параметри визначаються припустимим збільшенням тривалості перехідних процесів, тому що ІМС на перемикачах струму є швидкодіючими і саме цей параметр для них є визначальним.

Підвищення швидкодії елемента ЕЗЛ досягається шляхом помітного збільшення споживаної потужності. Середнє значення цієї потужності можна розрахувати по формулі:

$$P_{ном.ср} = I_0 E_{\kappa} + 2E_{\kappa} I_{e.ср} \approx \Delta U_{лог} \frac{E_{\kappa}}{R_{\kappa}} + 2U_{он} \frac{E_{\kappa}}{R_e}; \quad (4.40)$$

у який перший доданок $I_0 E_{\kappa} = \Delta U_{лог} \frac{E_{\kappa}}{R_{\kappa}}$ — це потужність, споживана перемикачем струму, а другий доданок $2E_{\kappa} I_{e.ср} = 2E_{\kappa} \frac{U_{он}}{R_e}$ - середня потужність, споживана емітерними повторювачами. Виразивши на підставі (4.28) напругу E_{κ} через $U_{он}$, $\Delta U_{лог}$ та $U_{бе.сд}$, одержимо:

$$P_{ном.ср} = \left(\frac{\Delta U_{лог}}{R_{\kappa}} + \frac{2U_{он}}{R_e} \right) \left(U_{он} + U_{бе.сд} + \frac{\Delta U_{лог}}{2} \right). \quad (4.41)$$

Подальше удосконалення логічних елементів на перемикачах струму призвело до розробки ІМС емітерно-зв'язаної логіки з емітерними повторювачами на вході (скорочено ЕЕЗЛ елементи). У мікросхемі елемента ЕЗЛ (рисунок. 4.22) емітерні повторювачі вмикаються до виходів елемента для знімання інформації. При цьому перемикач струму складається з вхідних транзисторів, що використовуються для введення інформації і транзистора з опорною напругою. До виходу кожного повторювача підключають транзистори, кожний з яких є вхідним елементом наступних перемикачів струму.

Питання до розділу 4:

- 1) Керування КМОН від ТТЛ та навпаки?
- 2) Що таке ЕЗЛ?

РОЗДІЛ 5

РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ В РІЗНІ БАЗИ

5.1 Базисні набори ЛЕ і їх взаємозв'язок

Існує декілька основних (функціонально повних) наборів логічних елементів, на яких можна реалізувати будь-яку перемикаючу функцію:

- 1) І, АБО, НІ;
- 2) І – НІ;
- 3) АБО - НІ.

Для реалізації перемикаючої функції, представленої булевим виразом в ДНФ або КнФ, достатньо трьох ЛЕ: І, АБО, НІ, тому цей набір вважається функціонально повним або базисним (базисом).

На практиці більш широко використовуються базиси І – НІ або АБО - НІ. Це пов'язано з тим, що скорочення номенклатури елементів до одного типу спрощує проектування пристрою та його ремонту. Крім того, наявність в цих елементах інвертора (підсилювача) підвищує навантажувальну здатність елемента (підсилює сигнал).

Використовуючи тотожності і теореми булевої алгебри, можна конвертувати вираз перемикальної функції, записаної у вигляді комбінації функцій І, АБО, НІ, до вигляду, що може бути реалізований елементами базиса І – НІ, АБО - НІ. Вищесказане відображає таблиця 5.1.

Таблиця 5.1 – Конвертації виразів перемикальної функції

Елемент	Логічні операції		
	НІ	І	АБО
І-НІ	$F_1 = \bar{A} = \overline{A \cdot A}$	$F_2 = A \cdot B = \overline{\overline{A \cdot B}}$	$F_3 = A + B = \overline{\overline{A \cdot B}}$
АБО-НІ	$F_4 = \bar{A} = \overline{A + A}$	$F_5 = A \cdot B = \overline{\overline{A + B}}$	$F_6 = A + B = \overline{\overline{A + B}}$

Нище показана схемна реалізація функцій І, АБО, НІ, в базисах І-НІ (рисунок. 5.1, а, б, в) і АБО-НІ (рисунок. 5.1 ,г, д, е).

Функцію І-НІ називають функцією Шеффера (штрихом Шеффера), яку позначають її у вигляді $F = A / B$, а функцію АБО-НІ функцією Пірса (стрілкою Пірса), яку позначають її у вигляді $A \downarrow B$. Базис І-НІ називають базисом Шеффера, а базис АБО-НІ – базисом Пірса.

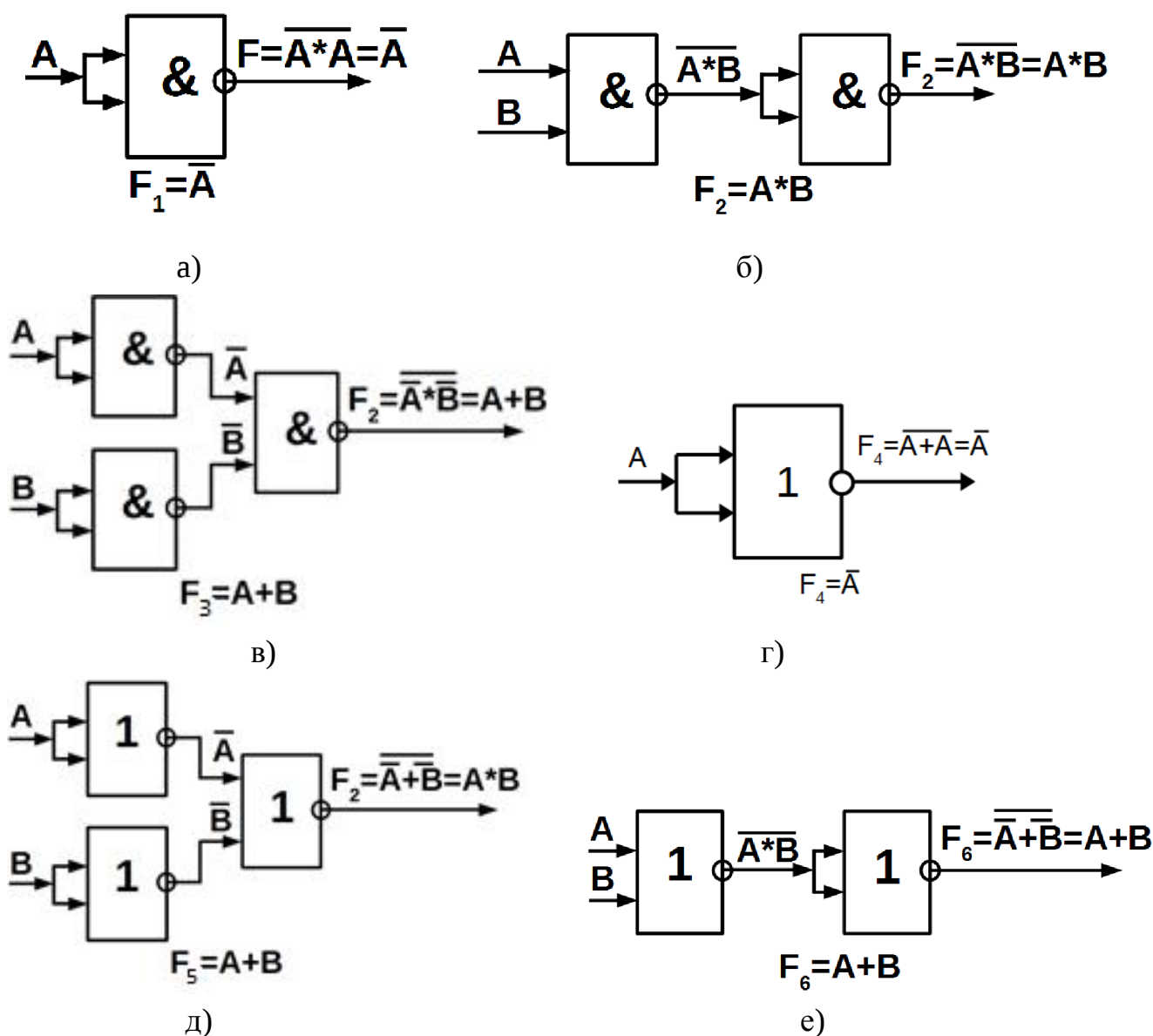


Рисунок 5.1 – Схеми базисних функцій

5.2 Реалізація логічних функцій в різних базисах

5.2.1 Реалізація елемента «Рівнозначність» (виключаючи АБО-НІ)

На виході такого елемента повинна бути логічна 1, якщо на входах одночасно присутні однакові логічні змінні (одиниці або нулі).

Булевий вираз логічної функції, який відповідає елементу, що розглядається, має вигляд:

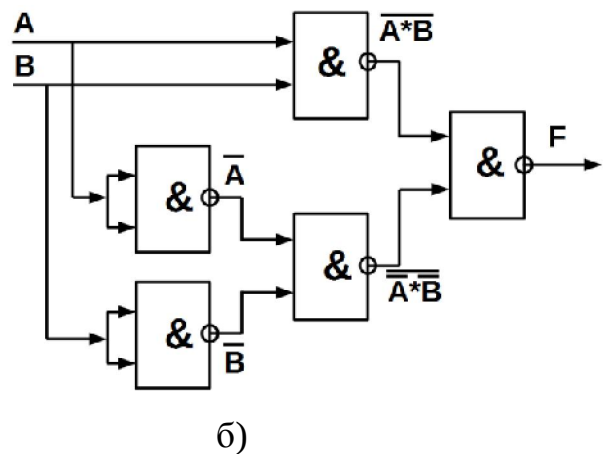
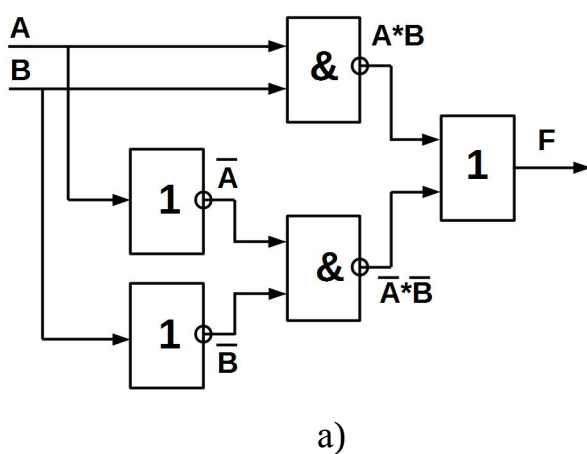
$$F = A \cdot B + \bar{A} \cdot \bar{B} \quad (5.1)$$

Очевидно, що даний вираз легко реалізується елементами базиса І, АБО, НІ. Використовуючи теорему де Моргана і тотожності булевої алгебри, перетворимо вираз (5.1) до вигляду, котрий дозволяє реалізувати функцію «рівнозначність» в базисі І-НІ (5.2) і АБО-НІ (5.3).

$$F = \overline{\overline{A \cdot B} \cdot \overline{\bar{A} \cdot \bar{B}}}, \quad (5.2)$$

$$F = \overline{\overline{\overline{A} + \overline{\bar{B}}} + \overline{\overline{A} + \bar{B}}}. \quad (5.3)$$

Нижче показані функціональні схеми елемента «рівнозначність» на ЛЕ базисів І, АБО, НІ (рисунок 5.2,а); І-НІ (рисунок 5.2,б) і АБО-НІ (рисунок 5.2,в).



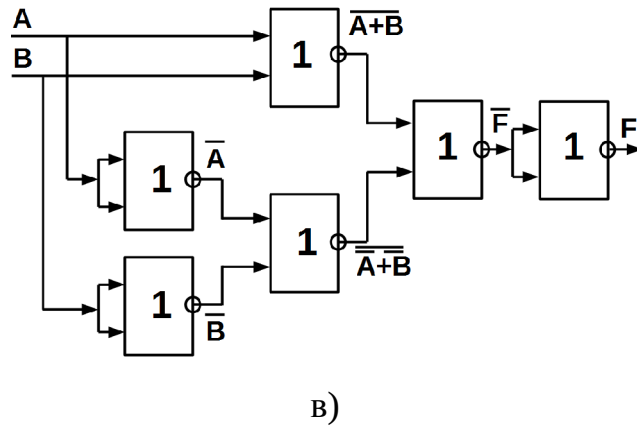


Рисунок 5.2 – Функціональні схеми виконані з використанням базисних логічних елементів

5.2.2. Реалізація елемента «Нерівнозначність» (виключаюче АБО, сума по модулю два)

На виході такого елемента повинна бути логічна 1, якщо на входах присутні нерівнозначні логічні змінні: $F = 1$, якщо $A = 1, B = 0$ або $A = 0, B = 1$.

Булевий вираз логічної функції, елемента, що розглядається, має вигляд

$$F = \bar{A} \cdot B + A \cdot \bar{B}. \quad (5.4)$$

Цей вираз може бути легко реалізований елементами базиса І, АБО, НІ. Використовуючи теорему де Моргана і тотожності булевої алгебри, перетворимо вираз (5.4) до вигляду, котрий дозволяє реалізувати функцію «нерівнозначність» в базисі І-НІ (5.5) і АБО-НІ (5.6).

$$F = \overline{\overline{A \cdot B \cdot A \cdot B}}, \quad (5.5)$$

$$F = \overline{\overline{A + B + A + B}}. \quad (5.6)$$

Нижче показані функціональні схеми елемента «нерівнозначність» на ЛЕ базисів І, АБО, НІ (рисунок 5.3,а); І-НІ (рисунок 5.3,б) і АБО-НІ (рисунок 5.3,в).

Елемент «нерівнозначність» ще називають суматором по модулю два: сума двійкових цифр дає одиницю, якщо одна з них одиниця, а друга – нуль; у протилежному випадку, якщо обидві цифри 0 або 1, то сума рівна нулю.

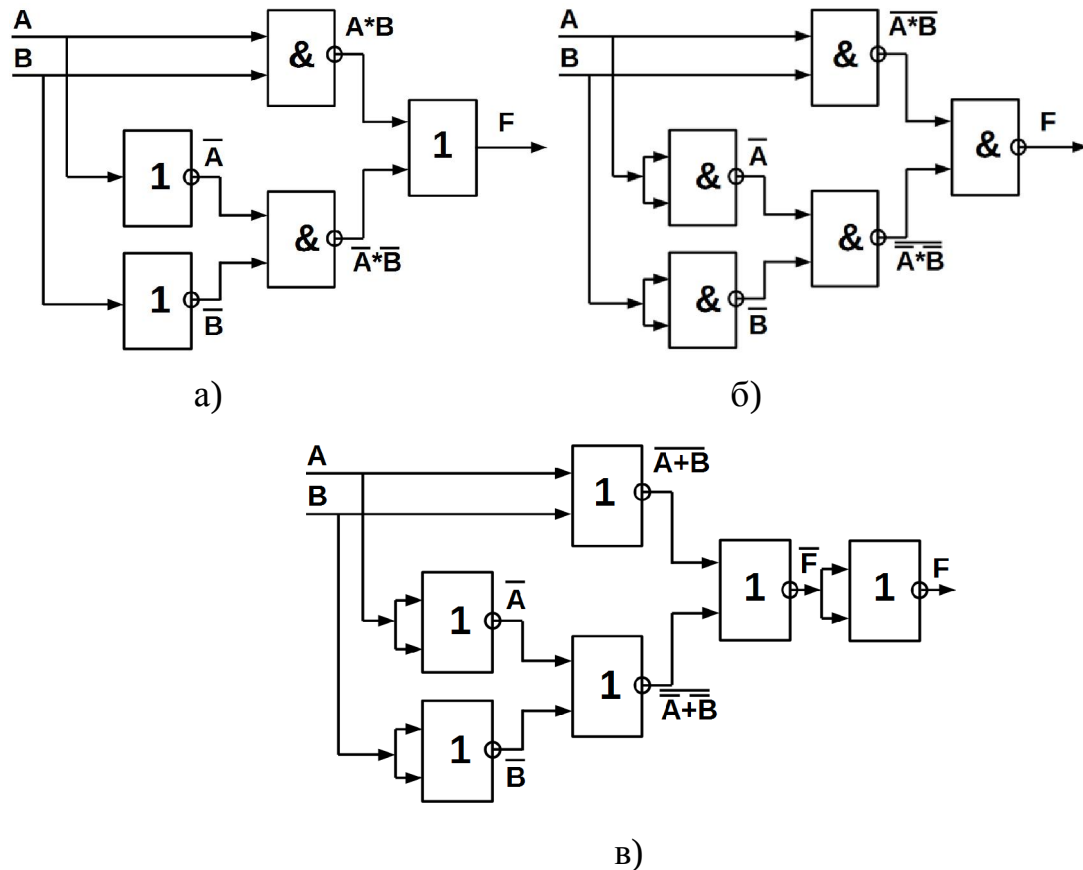


Рисунок 5.3 – Функціональні схеми, які реалізують «Нерівнозначність» з використанням базисних елементів

5.2.3 Реалізація елемента «Заборона»

На виході такого елемента повинна бути логічна 1, якщо на основному вході присутня логічна одиниця, а на забороненому вході – логічний нуль.

Булево вираз логічної функції, елемента, що розглядається, має вигляд

$$F = A \cdot \bar{B} \quad (5.7)$$

Вираз (5.7) може бути легко реалізований в базисі I, АБО, НІ.

Використовуючи теорему де Моргана і тотожності булевої алгебри, перетворимо вираз (5.7) до вигляду, котрий дозволяє реалізувати функцію «заборона» в базисі І-НІ (5.8) і АБО-НІ (5.9).

$$F = \overline{\overline{A \cdot B}}, \quad (5.8)$$

$$F = \overline{\overline{A + B}}. \quad (5.9)$$

Нижче показані функціональні схеми елемента «заборона» на ЛЕ базисів І, АБО, НІ (рисунок. 5.4,а); І-НІ (рисунок. 5.4,б) і АБО-НІ (рисунок. 5.4,в).

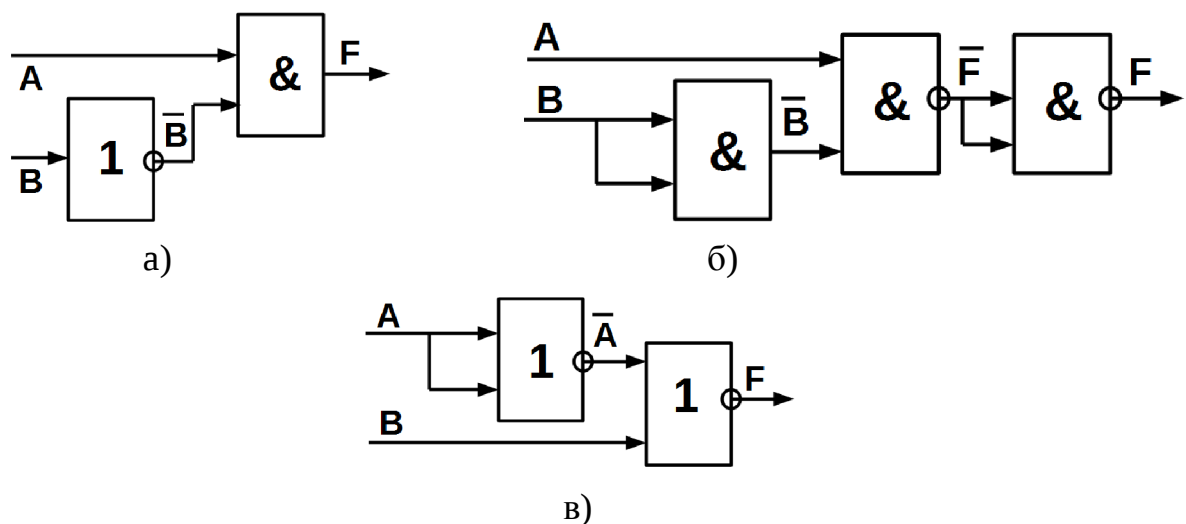


Рисунок. 5.4 – Функціональна схема, яка реалізує функцію «заборона»

5.2.4 Реалізація багатобуквених логічних функцій на елементах з невеликою кількістю входів

Інколи на практиці виникає завдання реалізувати логічну функцію з великою кількістю логічних змінних (багатобуквену функцію) на елементах із невеликою кількістю входів. У якості прикладу на рисунку 5.5 зображена функціональна схема, яка реалізує логічну функцію:

$$F = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H ; \quad (5.10)$$

на двовхідних елементах І-НІ.

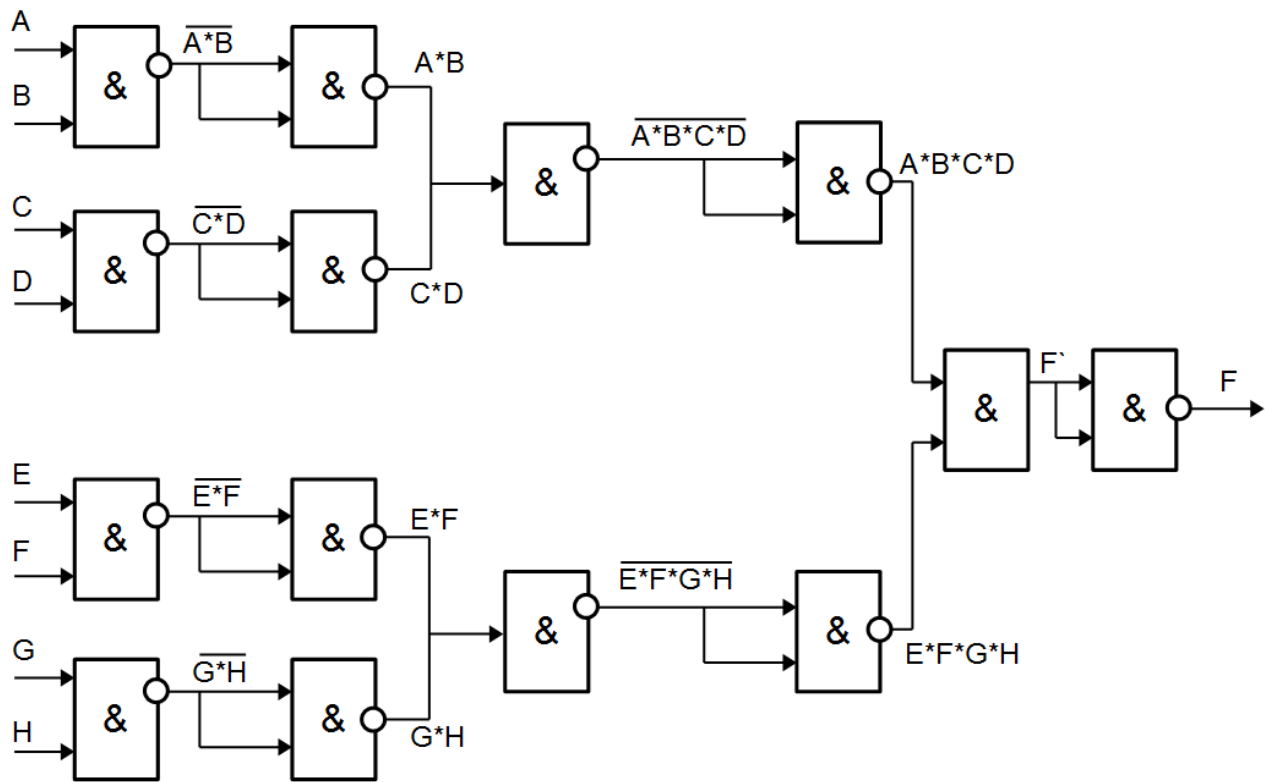


Рисунок. 5.5 – Функціональна схема, які реалізує багато буквену логічну схему

РОЗДІЛ 6

ПАРАМЕТРИ І ХАРАКТЕРИСТИКИ ЦИФРОВИХ ІНТЕГРАЛЬНИХ МІКРОСХЕМ (ІМС)

Цифрова мікросхема як функціональний вузол характеризується набором сигналів, які можна розділити на інформаційні ($X_1, X_2, \dots, X_n$ - вхідні, $Y_1, Y_1, \dots, Y_m$ - вихідні) і керуючі ($V_1, V_2, \dots, V_k$). Кожна конкретна ІМС у відповідності зі своїм функціональним призначенням виконує певні операції над вхідними сигналами (змінними), а вихідні сигнали являють собою результат цих операцій $Y_j = F(X_1, X_2, \dots, X_n)$. Операторами F можуть бути як найпростіші логічні перетворення, наприклад, І, АБО, НЕ, і т. Д., так і складні багатофункціональні перетворення, які мають місце, наприклад, в мікропроцесорах, БІС пам'яті та ін.

Сигнали управління визначають вид операції, режим роботи ІМС, забезпечують синхронізацію, установку початкового стану, стробирующих вхідні і вихідні сигнали, задають адресу, і т. д.

Від функціональної складності ІМС залежить і система її електричних параметрів, які в загальному випадку можуть мати десятки найменувань, причому багато з параметрів характерні тільки для ІМС якого-небудь одного класу. Тому нижче розглянемо ті параметри і характеристики, які характеризують більшість мікросхем. Надалі при вивченні окремих пристроїв цей перелік в міру необхідності буде розширено.

6.1 Коефіцієнт об'єднання входу ($K_{ов}$)

Дорівнює числу входів логічного елемента. На них надходять логічні змінні, над якими даний елемент виконує логічну операцію. $K_{ов}$ обмежує найбільше число змінних функції, яку реалізує даний ЛЕ. При недостатній кількості входів замість одного доводиться використовувати кілька елементів, поєднуючи їх певним чином.

6.2 Коефіцієнт розгалуження по виходу ($K_{рпв}$)

Чисельно дорівнює кількості входів аналогічних елементів, якими можна одночасно навантажити вихід даного елемента без спотворення передачі інформації. Цей коефіцієнт характеризує навантажувальну здатність елемента і визначається виконанням його вихідного каскаду. Для різних елементів становить від декількох одиниць до декількох десятків.

6.3 Статичні характеристики

До статичних характеристик відносяться: вхідні ВАХ, визначальна залежність вхідного струму від вхідної напруги; вихідна ВАХ, що показує зв'язок між вихідною напругою і струмом; передатна, яка визначає залежність вихідної напруги від вхідного [3].

На рисунку 6.1 наведена типова передавальна характеристика інвертора ТТЛ – типу. З її допомогою можна визначити ряд параметрів ЛЕ, наприклад, рівні напруг логічної одиниці (U_1), логічного нуля (U_0), значення порогових напруг, при яких вихідний сигнал перемикається з 1 в 0 ($U_{0пор}$) і навпаки з 0 в 1 ($U_{1пор}$), оцінити завадостійкість елемента.

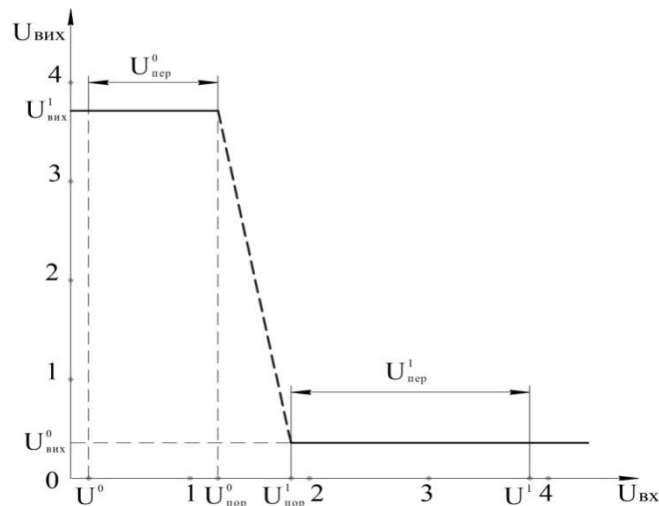


Рисунок 6.1 – Передатна характеристика логічного елемента

6.4. Завадостійкість

Оцінюється найбільшою напругою статичної перешкоди $U_{ном}$, діючої на вході, яке не викликає помилкового перемикання елемента з 1 в 0, або навпаки.

Статичними прийнято називати перешкоди, величина яких залишається постійною протягом часу, що значно перевищує тривалість перехідних процесів в схемі. Причиною появи таких перешкод в більшості випадків є падіння напруги на провідниках, що з'єднують мікросхеми в пристрої. Найбільш небезпечні перешкоди виникають в шинах харчування. Падіння напруги на "земляний" шині, різні для різних ІМС, будуть підсумовуватися з вхідними сигналами і можуть призводити до збоїв. Для виключення подібних ситуацій необхідно уважно ставитися до розташування провідників, що підводять напруга живлення, і збільшувати по можливості їх розтин.

Завадостійкість можна оцінити по передавальній характеристиці елемента (рисунок 6.1), визначивши значення $U_{0ном}$ і $U_{1ном}$.

6.5 Динамічні характеристики і параметри

Характеризують швидкодію логічних елементів.

На малюнку 6.2 зображено зміна вихідної напруги в часі при перемиканні з 1 в 0 і навпаки.

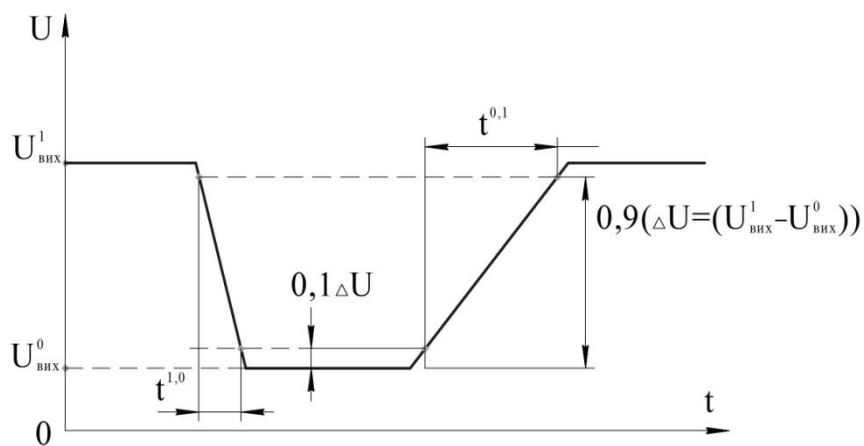


Рисунок 6.2 – Динамічна характеристика логічного елемента

По цій характеристиці визначається час переходу елемента зі стану одиниці в нуль $t_{1,0}$ і переходу в зворотне стан $t_{0,1}$. Ці тимчасові інтервали вимірюються на рівнях 0,1 і 0,9 від перепаду вихідної напруги при перемиканні елемента ($\Delta U = (U_{1вих} - U_{0вих})$) (при цьому ємність навантаження повинна відповідати заданій) [2].

Часто швидкодію оцінюється часом затримки поширення сигналу при включенні $t_{0,1 \text{ з.р.}}$ і виключенні $t_{1,0 \text{ з.р.}}$, а також середнім часом затримки поширення $t_{\text{з.р.ср}}$ (визначається як півсума затримок при включенні і виключенні). Ці параметри вимірюються на рівнях 0,5 від перепадів вхідного і вихідного сигналів (рисунок. 6.3).

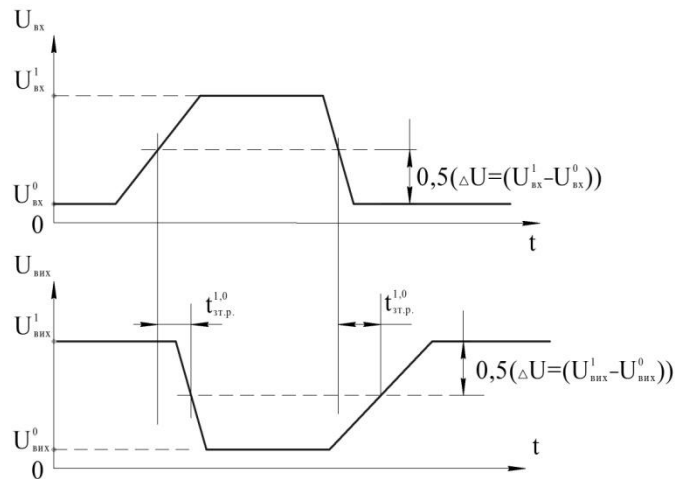


Рисунок 6.3 – Динамічна характеристика оцінки швидкодії логічного елемента

6.6. Вид реалізованої логічної функції

Вище, при викладенні курсу, було розглянуто основні логічні елементи, виконують різні функції: І, АБО, НЕ, І-НЕ, АБО-НЕ; ВИКЛЮЧАЄ АБО, виключає АБО-НЕ; І-АБО-НЕ; ПОВТОРЕННЯ (посилення цифрового сигналу) та ін.

6.7. Споживані струми і потужність

До основних параметрів часто також відносять струми, споживані цифровий ІМС для двох її станів: $I_{1\text{ном}}$, $I_{0\text{ном}}$, і споживану потужність $P_{\text{ном}}$.

$P_{\text{ном}}$ являє собою потужність, споживану мікросхемою від джерела живлення в заданому режимі. Розрізняють $P_{1\text{ном}}$ і $P_{0\text{ном}}$, споживані ІМС в станах логічних 1 і 0, а також середню споживану потужність

$$P_{\text{ном.ср.}} = 0,5 \cdot (P_{1\text{ном}} + P_{0\text{ном}}). \quad (6.1)$$

6.8. Вхідні та вихідні струми, напруги

$I_{0вх}$ – граничний вхідний струм при сигналі 0 на вході;

$I_{1вх}$ – граничний вхідний струм при сигналі 1 на вході;

$U_{1вих}$ – мінімальна вихідна напруга при логічній 1 на виході при заданому струмі навантаження;

$U_{0вих}$ – максимальна вихідна напруга при сигналі 0 на виході при заданому струмі навантаження;

$I_{0вих\ max}$ – максимальний вихідний струм при логічному нулі на виході;

$I_{1вих\ max}$ – максимальний вихідний струм при логічній одиниці на виході.

6.9. Порогові напруги

Вхідна напруга, при якому відбувається різка зміна вихідної напруги, називається порогом перемикання $U_{пор}$. Амплітудна передавальна характеристика реального логічного елемента в перехідній області (штрихова лінія) не має явно вираженого порога перемикання (рисунок 6.1). Зміна вихідної напруги починається при одному значенні вхідної напруги $U_{0пор}$, а закінчується при іншому $U_{1пор}$. Характеристика має зону невизначеності $\Delta U_{пор} = U_{1пор} - U_{0пор}$, що викликано, зокрема, переходом транзистора з режиму відсічення в режим насичення і навпаки.

Порогова напруга логічного нуля $U_{0пор}$ - найбільше значення низького рівня вхідної напруги, при якому відбувається перехід з одиничного стану в нульове (рисунок. 6.1). Порогова напруга логічної одиниці $U_{1пор}$ - найменше значення високого рівня вхідної напруги, при якому відбувається перехід з нульового стану в одиничне (рисунок 6.1).

Значення $U_{0пор}$ і $U_{1пор}$ відрізняються на декілька десятих доль вольт, тому часто передавальна характеристика апроксимується (рисунок 6.4). Тепер $Пор = U_{1пор} = U_{0пор}$.

6.10. Допустимі значення основних параметрів

E_{min}, E_{max} – допустимі значення напруги живлення;

U_{1min}, U_{0max} – допустимі значення рівнів логічних сигналів одиниці і нуля;

$I_{вх.мах}, I_{0вих.мах}, I_{1вих.мін}$ – допустимий вхідний і вихідний струми в стані 0 і 1.

Існує ще ряд параметрів, наприклад, техніко-економічних, які наводяться в технічній документації, що додається до ІМС, і в довідниках.

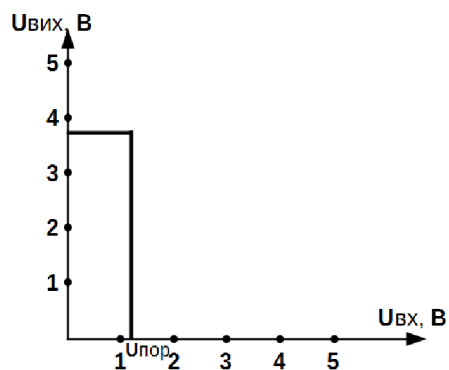


Рисунок 6.4 – Передатна характеристика порога включення логічного елемента

РОЗДІЛ 7

ЕЛЕМЕНТНА БАЗА З РЕАЛІЗАЦІЇ БАЗОВИХ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Для побудови цифрових пристроїв найбільш широке застосування знаходять інтегральні логічні елементи на базі ТТЛ -, ТТЛШ -, ЕСЛ - і КМОН - технологій. Всяка мікросхема, що реалізує складну функцію, по суті являє сукупність елементів І-НЕ або АБО-НЕ.

7.1 Базовий ТТЛ (ТТЛШ) - елемент І-НЕ.

Найпростіший ТТЛ елемент [2], назва якого розшифровується як транзисторно-транзисторна логіка, складається з кон'юнкторного, виконаного на багато-емітерному транзисторі VT_M і транзисторного інвертора VT_1 (рисунок. 7.1).

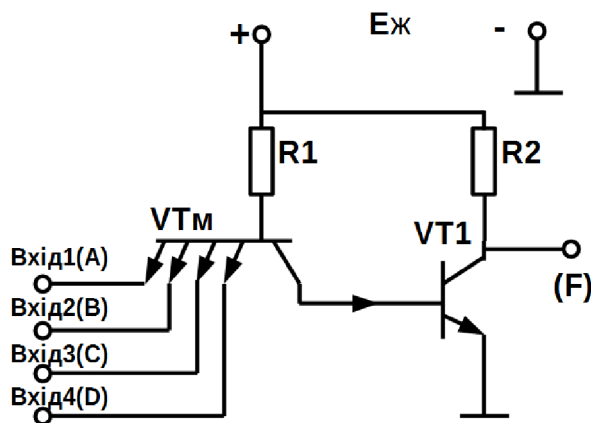


Рисунок 7.1 – Схема найпростішого ТТЛ елемента

При високих рівнях напруги на всіх виходах схеми (логічні 1) всі переходи емітер-база багатоемітерного транзистора VT_M зміщуються у зворотному напрямку (замкнені), а перехід база-колектор за рахунок напруги $+E_{жив}$ - у прямому (інверсне включення транзистора). Струм колекторного переходу транзистора VT_M , що протікає через перехід емітер-база транзистора VT_1 , вводить останній в режим насичення. При цьому з виходу знімається низький рівень напруги (логічний нуль). Якщо хоча б на один вхід схеми надійде сигнал

логічного 0 (низький рівень напруги), VTМ відкривається і на базу VT1 подається низький рівень напруги. Останній закривається і з виходу знімається високий рівень сигналу (логічна одиниця). Таким чином, елемент реалізує логічну функцію І-НЕ ($F = \overline{A \cdot B \cdot C \cdot D}$).

Вихідний опір розглянутого елемента залежить від стану транзистора VT1. Коли він відкритий, воно близько до нуля, а коли замкнений – $R_{вих} \approx R_k = R_2$

Для підвищення завадостійкості та збільшення навантажувальної здатності ТТЛ елементи містять додаткові транзистори (рисунок. 7.2).

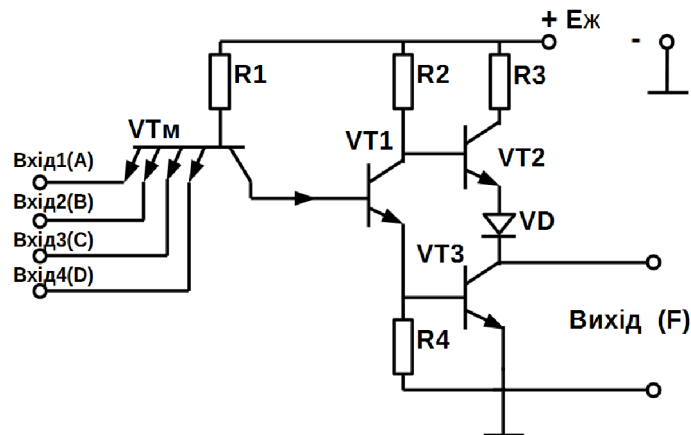


Рисунок 7.2 – Принципова схема для підвищення завадостійкості на базі ТТЛ

Подібна схема називається ТТЛ елементом зі складним інвертором, виконаному на трьох транзисторах VT1, VT2 і VT3. Якщо на всіх входах елемента присутня логічна 1, то емітерний перехід VTМ замкнений, а колекторний - відкритий. Струм бази VTМ через перехід “база-колектор” VTМ надходить до бази VT1. У результаті VT1 входить у режим насичення. Позитивним потенціалом, що знімається з резистора R4, транзистор VT3 відкривається і з виходу схеми знімається логічний 0. Завдяки наявності діода VD транзистор VT2 при цьому надійно закритий.

Діод забезпечує додаткове позитивний приріст напруги на емітер VT2 і називається зміщується. Використання таких діодів – один з типових прийомів інтегральної технології, що дозволяє забезпечити надійне замикання вимкнених транзисторів. Наявність замкненого VT2 в колекторної ланцюга відкритого VT3

практично виключає споживання струму вихідний ланцюгом складного інвертора в стані спокою (без навантаження). Навантаження, включена між $+E_{жив}$ і колектором VT3 може викликати чималий струм ($I_{к.} = VT3 = I_n$).

Якщо хоча б на один вхід схеми (рисунок. 7.2) надійде логічний 0, то транзистор VTМ насичується, на його колекторі (базі VT1) з'являється низький рівень напруги і транзистор VT1 замикається. Потенціал його емітера прагне до нуля, а потенціал колектора - до напруги $+E_{жив}$. Транзистор VT3 закривається, VT2 – відкривається. З виходу знімаємо високий рівень напруги (логічна 1). Каскад на транзисторі VT2 працює в активному режимі як емітерний повторювач (значення резистора R3 мало (десятки Ом) і може не враховуватися). Вихідний опір емітерного повторювача дуже мало, тому навантажувальна здатність другої схеми (рисунок. 7.2) в порівнянні з першою (рисунок. 7.1) значно збільшується.

Споживання струму в вихідний ланцюга ненагруженого складного інвертора в цьому стані також мало, так як VT3 закритий. Якщо між виходом (колектором VT3) і корпусом включити опір навантаження, то споживаний схемою струм збільшується ($I_n = I_e VT2$).

Відсутність власного споживання струму вихідний ланцюгом складного інвертора робить розглянутий елемент досить економічним.

Разом з тим, ця схема має істотний недолік. При формуванні логічної одиниці на виході струм закритого транзистора VT3 $I_{коз}$ протікає через резистор R4 (рисунок. 7.2), створюючи на ньому падіння напруги, спрямоване на відмикання транзистора. Щоб знизити цю напругу значення резистора R4 береться не дуже великим (сотні Ом).

Мале значення R4 шунтує перехід база-емітер VT3 при його відмиканні. Наприклад, при напрузі $U_{бе.н} VT3 = 0,6$ В через резистор $R4 = 1$ кОм протікає струм 0,6 мА. Отже, VT3 почне відпиратися тільки після того, як струм через резистор R4 зростає до 0,6 мА. Це призводить до розтягування в часі перехідної області передавальної характеристики розглянутого елемента.

Крім того, наявність R4 впливає на стабільність параметрів ТТЛ - елемента в робочому діапазоні температур. Цей резистор має позитивний температурний

коефіцієнт опору (ТКС). При зростанні температури значення R_4 збільшується, його шунтуюча дія зменшується, струм бази VT3 збільшується, транзистор VT3 насичується сильніше, що може збільшити час його виключення, тобто погіршує швидкодію. При зниженні температури значення R_4 падає, його шунтуюча дія зростає, що призводить до збільшення часу включення.

Для усунення зазначених недоліків замість резистора R_4 в схему ТТЛ елемента увімкнений нелінійний чотириполюсний (рисунок 7.3), виконаний на транзисторі VT4.

Це дозволяє зменшити тривалість перехідної області передавальної характеристики ТТЛ елемента і підвищити стабільність його параметрів.

Розглянута схема зі складним інвертором також реалізує функцію І-НІ.

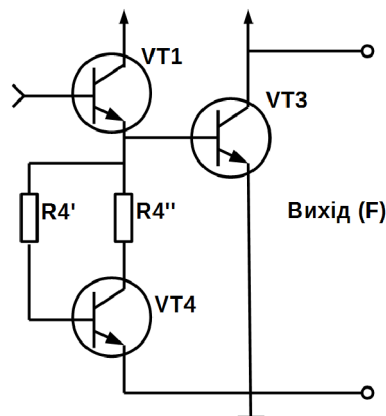


Рисунок. 7.3 – Принципова схема нелінійного чотириполюсника дозволяє підвищити стабільність базової схеми ТТЛ

ТТЛ-схеми в даний час досить широко застосовуються в модифікованому ТТЛШ виконанні і містять транзистори і діоди Шотткі (рисунок 7.4).

Нижче показаний приклад двохвхідного логічного ТТЛШ - елемента І-НЕ (рисунок 7.4), що має ряд додаткових елементів, відсутніх в розглянутій вище ТТЛ-схемі (рисунок 7.2).

По-перше, для підвищення навантажувальної здатності замість транзистора VT 2 (рисунок 7.2) в схему введений складовий транзистор (VT2 ', VT2 "). По-друге, для захисту елемента від випадково поданих негативних вхідних сигналів у нього включені діоди VD1, VD2. По-третє, схема містить транзистор VT5, за

допомогою якого здійснюється переказ виходу схеми в третьому, (Z) – стан (див. 4.15). Позитивний потенціал (логічна 1) на базі транзистора VT5 відкриває його, замикаючи тим самим колектор транзистора VT1 на землю.

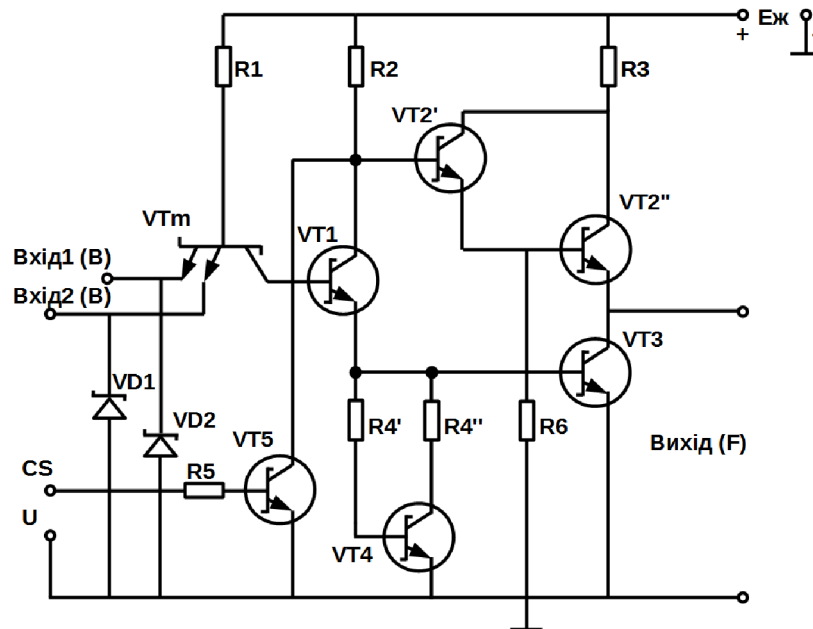


Рисунок 7.4 – Принципова схема дво-вхідного логічного елемента «I-HE» виконаного на елементній базі ТТЛШІ

Це призводить до того, що транзистори VT2', VT2'' і VT3 залишаються замкнені, незалежно від стану вхідних керуючих сигналів. При цьому вихід F відключається як від шини живлення, так і від землі, тобто як би повисає в повітрі. Функціональне позначення такого логічного елемента показано на рисунку 7.5.

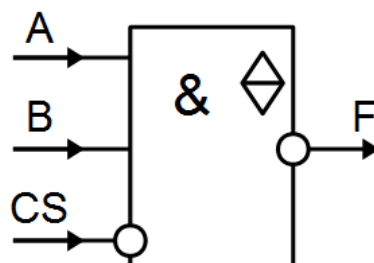


Рисунок 7.5 – Функціональне позначення логічного елемента

Можливість переведення ТТЛ (ТТЛ) схем в третьому стан дозволяє використовувати їх при роботі на одну системну шину, наприклад, в мікропроцесорних пристроях. При цьому до загальної шини підключений цілий ряд різних пристроїв, забезпечених вихідними колами з трьома станами, причому в кожен момент часу із загальною шиною з'єднаний тільки один пристрій, а виходи інших знаходяться в 3-му (Z) - стані, тобто відключені від шини.

7.2. Базовий ЕЗЛ - елемент АБО / АБО-НІ

У цьому елементі [3, 11] логічні операції виконуються емітерно-пов'язаними транзисторами, чим і обумовлено назва типу логіки. Елемент має два виходи, на одному з яких фіксується результат операції АБО над вхідними цифровими сигналами, а на іншому - операції АБО-НЕ.

У цій схемі до "землі" приєднана плюсова шина джерела живлення, тому вихідні сигнали мають негативну полярність.

Розроблені на основі схем ЕСЛ ІМС характеризуються високою швидкістю, високою навантажувальною здатністю, низькою завадостійкістю і досить великою споживаною потужністю.

7.3. Базовий КМОН-елемент АБО-НІ

Логічні схеми виконані на базі комплементарний метал-оксидний напівпровідник (доповнюють один одного) МОН (МДП) – транзисторах містять послідовно включені і керовані одним сигналом МОН-транзистори з каналами різних типів провідності (n- і p-типу) (рисунок 7.6).

Коли один з послідовно включених транзисторів відкривається, інший - закривається. Тому такий каскад практично не споживає потужності в статичному режимі.

КМОН-елемент (рисунок 7.6) являє собою дільник напруги + $E_{жив}$. Нижнє плече дільника становить транзистор VT2, який називається комутуючим або керуючим. Верхнє плече утворює транзистор VT1, який називається навантажувальним. Якщо на вхід подається високий рівень напруги (логічна 1), то

відкривається транзистор VT2 і закривається VT1. Велика частина напруги живлення виділяється на навантажувальному транзисторі VT1, а з виходу знімається низький рівень напруги (логічний 0).

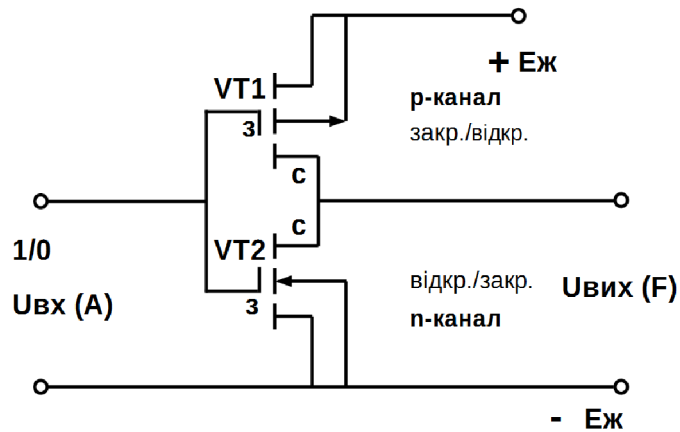


Рисунок 7.6 – Принципова схема логічного елемента виконаного на елементній базі КМОН

Якщо на вхід надходить низький рівень сигналу (логічний 0), то відкривається VT1 і закривається VT2. З виходу знімається високий рівень напруги, а відкритий транзистор VT1 виконує функцію стокового резистора R_c . Розглянута схема виконує функцію інвертора.

Нижче показана схема логічного елемента з трьома входами АБО-НЕ на КМОН-транзисторах (рисунок. 7.7).

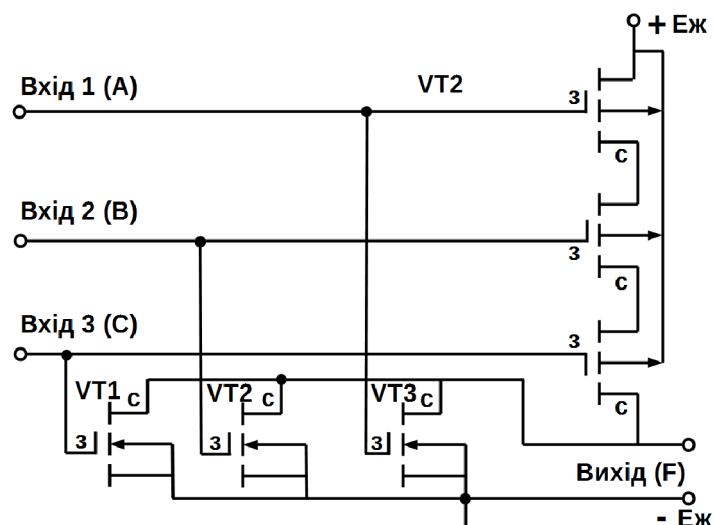


Рисунок 7.7 – Принципова схема двохвхідного логічного елемента «АБО-НІ»

Якщо на будь-який з входів, наприклад, C , подається високий рівень (логічна 1), то відкривається транзистор $VT1$ і шунтує паралельно включені з ним транзистори $VT2$ і $VT3$. Опір нижнього плеча дільника, що складається з трьох паралельно включених керуючих транзисторів $VT1$, $VT2$ і $VT3$, зменшується. Одночасно замикається транзистор $VT6$ і опір верхнього плеча дільника, що складається з трьох послідовно включених навантажувальних транзисторів $VT4$, $VT5$ і $VT6$ стає досить значним. Велика частина напруги живлення $+ E_{жив}$ виділяється на навантажувальних транзисторах, а з виходу знімається низький рівень сигналу (логічний 0).

Тільки коли на всіх входах A , B і C присутній низький рівень сигналу (логічний 0), керуючі транзистори закриті, а навантажувальні – відкриті. Падіння на навантажувальних транзисторах мало і вони виконують функцію стокового (навантажувального) резистора R_c для паралельно включених закритих транзисторів $VT1 \dots VT3$. З виходу знімається високий рівень напруги (логічна 1).

Таким чином, розглянутий елемент (рисунок. 7.7) виконує логічну функцію АБО-НІ:

$$F = \overline{A + B + C} . \quad (7.1)$$

Логічні КМОН-елементи мають ряд істотних переваг. По-перше, в статичному стані в ланцюзі джерела $E_{жив}$ знаходиться замкнений транзистор, так що споживана елементом потужність дуже мала. Споживання потужності відбувається тільки при перемиканні елемента. По-друге, вхідний опір польового транзистора вельми велике, тому кожен наступний елемент практично не навантажує попередній. По-третє, при виконанні по інтегральній технології польовий транзистор займає на підкладці (підставі мікросхеми) меншу площу, ніж біполярний. Недоліком елемента є менша швидкодія, ніж у ТТЛШ – і ЕЗЛ-елементів.

При перевезенні й монтажі КМОН-схем потрібно дотримуватися певних запобіжних заходів. Зокрема, монтажник і всі монтажні інструменти повинні бути заземлені, щоб виключити можливість пробоя ізоляції між затвором і каналом.

РОЗДІЛ 8

Технічним аналогом булевої функції в обчислювальній техніці є, так звана, комбінаційна схема, на вхід якої надходять і з виходу знімаються електричні сигнали у вигляді одного з рівнів напруги, що відповідають значенням логічного 0 і логічної 1.

Для з'ясування, що ж таке комбінаційна схема, розглянемо схему S, що має m вхідів і n виходів (рисунк 8.1). На її входи можуть бути подані набори значень вхідних змінних $X_i \in \{0,1\}$, а на виходах формуються вихідні змінні $Y_j \in \{0,1\}$, $j = \overline{1, n}$.

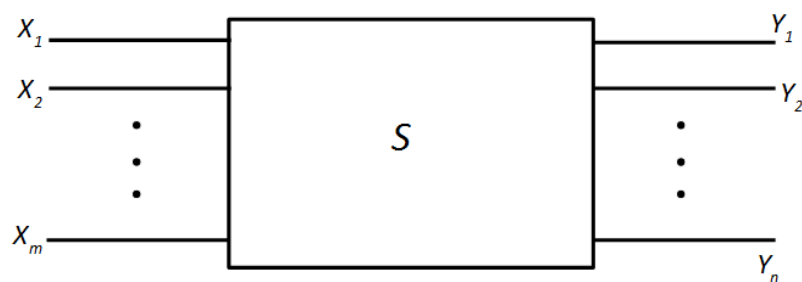


Рисунок 8.1 – Загальне позначення комбінаційних схем

Схема S називається комбінаційною, якщо кожен з n виходів $Y_1, Y_2, \dots, Y_n$ можна представити як булеву функцію вхідних змінних $X_1, X_2, \dots, X_m$.

Комбінаційна схема описується за допомогою системи рівнянь (8.1), де F_i - булева функція.

$$\begin{aligned} Y_1 &= F_1(X_1, X_2, \dots, X_m) \\ Y_2 &= F_2(X_1, X_2, \dots, X_m) \\ &\vdots \\ Y_n &= F_n(X_1, X_2, \dots, X_m) \end{aligned} \tag{8.1}$$

Як впливає з визначення комбінаційної схеми, значення вихідних змінних Y_j в довільний момент часу однозначно визначаються значеннями вхідних змінних X_i .

Структурно комбінаційна схема може бути представлена, як сукупність елементарних логічних схем – логічних елементів (ЛЕ). ЛЕ виконують над вхідними змінними елементарні логічні операції типу І-НІ, І, АБО, АБО-НІ і т.д. Число входів логічного елемента відповідає числу аргументів відтворюваної їм булевої функції. Графічне зображення комбінаційної схеми, при якому показані зв'язки між різними елементами, а самі елементи представлені умовними позначеннями, називається функціональною схемою.

У ході розробки комбінаційних схем доводиться вирішувати завдання аналізу та синтезу.

Завдання аналізу полягає у визначенні статичних та динамічних властивостей комбінаційної схеми. У статистиці визначаються булеві функції, реалізовані комбінаційною схемою за відомою їй структурі. У динаміці розглядається здатність надійного функціонування схеми в перехідних процесах при зміні значень змінних на входах схеми, тобто визначається наявність на виходах схеми можливих небажаних імпульсних сигналів, що не йдуть безпосередньо з виразів для булевих функцій, реалізованих схемою.

Завдання синтезу полягає в побудові із заданого набору логічних елементів комбінаційної схеми, реалізує задану систему булевих функцій.

Рішення завдання синтезу не є однозначним, можна запропонувати різні варіанти комбінаційних схем, що реалізують одну й ту ж систему булевих функцій, але відрізняються за тими чи іншими параметрами. Розробник комбінаційних схем з цієї безлічі варіантів вибирає один, виходячи з додаткових критеріїв: мінімальної кількості логічних елементів, необхідних для реалізації схеми, максимальної швидкодії і т.д. Існують різні методи синтезу комбінаційних схем, серед яких найбільш розроблений канонічний метод.

8.1. Канонічний метод синтезу комбінаційних схем

Як зазначалося вище, комбінаційна схема (КС) може мати кілька виходів. При канонічному методі передбачається, що кожна вихідна функція реалізується своєю схемою, сукупність яких і дає необхідну КС. Тому синтез складної КС з n виходами замінюється синтезом n схем з одним виходом.

Згідно з канонічним методу синтез КС включає в себе ряд етапів.

1. Підлягаючий реалізації булева функція (або її заперечення) представляється у вигляді СДНФ.

2. З використанням методів мінімізації визначається мінімальна ДНФ (МДНФ) або мінімальна КНФ (МКНФ). З отриманих двох мінімальних форм вибирається більш проста.

3. Булеву функцію в мінімальній формою згідно п.2 представляють в заданому (або обраному розробником) базисі.

4. За поданням функції в заданому базисі будують комбінаційну схему.

Необхідно відзначити, що підлягає реалізації булева функція $F(X_1, X_2, \dots, X_m)$ може бути задана не на всіх можливих наборах аргументів $X_1, X_2, \dots, X_m$. На тих наборах, де функція невизначена, її довизначають так, щоб в результаті мінімізації отримати більш просту МДНФ або МКНФ. При цьому спроститься і сама КС. Крім того, досить часто з метою отримання ще більш простого представлення функції МДНФ, отримана в п.2, представляється в так званій формі, тобто виносяться за дужки загальні частини імплікант МДНФ.

Розглянемо канонічний метод синтезу на прикладі побудови схеми повного однорозрядного двійкового суматора.

Як відомо з курсу машинної арифметики, повний однорозрядний суматор – це пристрій, який здійснює складання по *mod* 2 відповідних розрядів (X_1, X_2) двійкових чисел з урахуванням переносу (P_m) в даний розряд з сусіднього молодшого розряду суми. Суматор виробляє цифру результату (S) в даному розряді і перенесення (P_c) в сусідній старший розряд суми. Таблиця істинності такого суматора (тобто подання булевої функції, яку він реалізує, у вигляді СДНФ) представлена у таблиці 8.1.

Необхідно отримати булеві функції $S = F_1(X_1, X_2, P_m)$ і $P_c = F_2(X_1, X_2, P_m)$.

Карти Карно для цих функцій наведені нижче (рисунок 8.2).

Таблиця 8.1 – Таблиця істинності повного одноразрядного довічного суматора.

X_1	0	0	0	0	1	1	1	1
X_2	0	0	1	1	0	0	1	1
P_m	0	1	0	1	0	1	0	1
S	0	1	1	0	1	0	0	1
P_c	0	0	0	1	0	1	1	1

$X_1 \backslash X_2$	00	01	11	10
0	0	1	0	1
1	1	0	1	0

Функція S

$X_1 \backslash X_2$	00	01	11	10
0	0	0	1	0
1	0	1	1	1

Функція P_c

Рисунок 8.2 – Карти Карно для функцій S і P_c суматора.

Як впливає з наведених карт, ДНФ відповідних функцій має вигляд:

$$\begin{aligned}
 S &= P_m + X_2 + X_1 + X_1 \cdot X_2 \cdot P_m, \\
 P_c &= X_1 \cdot X_2 + X_1 \cdot P_m + X_2 \cdot P_m.
 \end{aligned}
 \tag{8.2}$$

Отримана система булевих функцій представлена в базисі І, АБО, НЕ. Відповідна їй КС приведено на рисунку 8.3.

Отриману комбінаційну схему можна спростити, винести за дужки загальні частини у виразах для S і P_c , однак істотного результату це не дасть (бажано самостійно в цьому переконатися).

Значно спростити схему можна, якщо скористатися іншим базисом, наприклад логічним елементом "ВИКЛЮЧАЮЧЕ АБО". У цьому випадку вираз

для S можна записати $S = (X_1 + X_2 + P_m) \bmod 2 = X_1 \oplus X_2 \oplus P_m$. Тоді схема для S буде мати вигляд (рисунок 8.3).

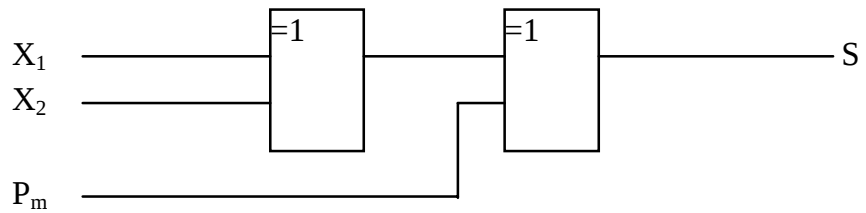


Рисунок 8.3 – Комбінаційна схема

Іноді для синтезу КС з декількома виходами може використовуватися наступний прийом. Будемо вважати, що при синтезі схеми суматора функція S є функцією чотирьох змінних: $S = f(X_1, X_2, P_m, P_c)$ (рисунок 8.4). Таблиця істинності для цього випадку приймає вигляд зображений у таблиці 8.2.

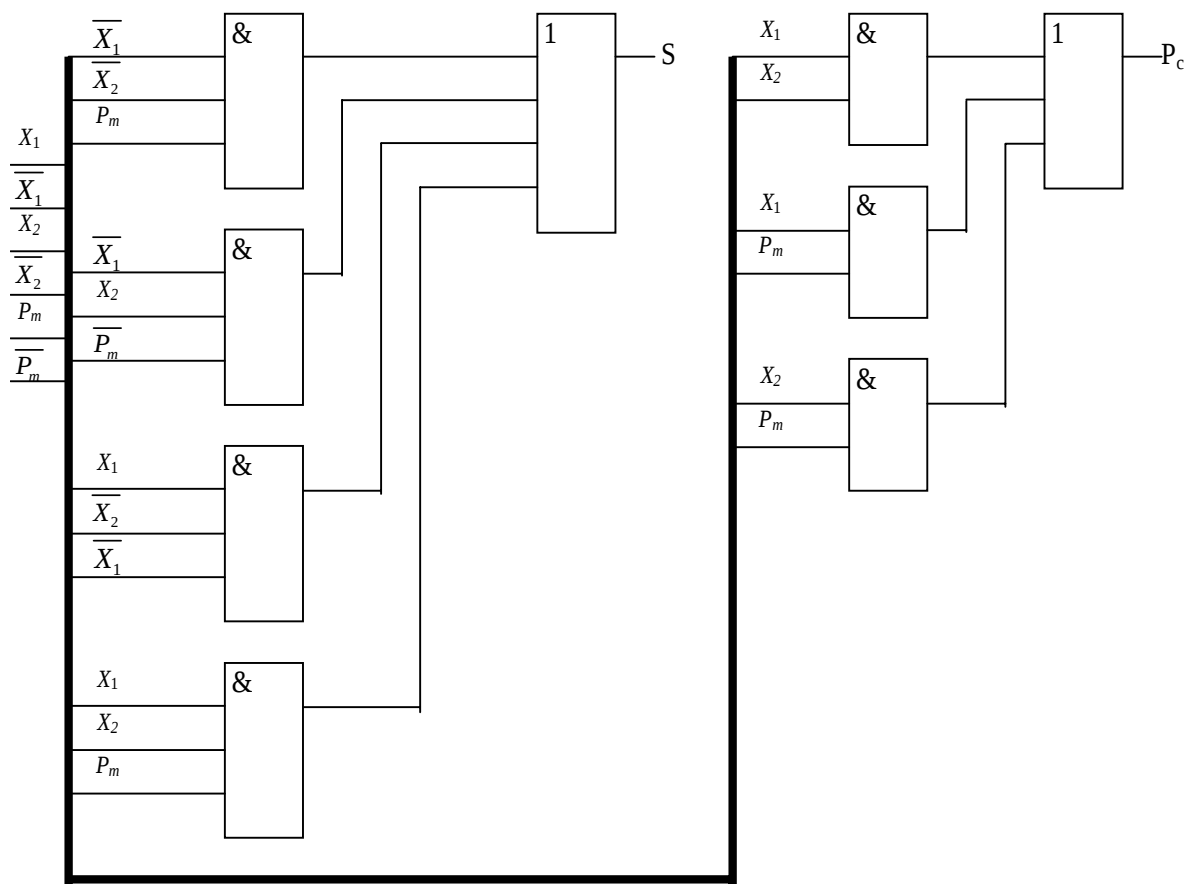


Рисунок 8.4 – Функціональна схема комбінаційного суматора

Таблиця 8.2 – Таблиця істинності суматора

X_1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
X_2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
P_m	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
P_c	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
S	0	X	1	X	1	X	X	0	1	X	X	0	X	0	X	1

Невизначені значення для S відповідають наборам, які ніколи не можуть бути в реальній схемі. Карта Карно для функції $S = f(X_1, X_2, P_m, P_c)$ (рисунок 8.5).

$\begin{matrix} X_1 \\ P_m P_c \end{matrix}$	X_2	00	01	11	10
00		0	1	X	1
01		X	X	0	X
11		X	0	1	0
10		1	X	X	X

Рисунок 8.5 – Карта Карно для функції $S = f(X_1, X_2, P_m, P_c)$

У результаті мінімізації:

$$S = P_m \bar{P}_c + X_2 \bar{P}_c + X_1 \bar{P}_c + X_1 X_2 P_m = (P_m + X_2 + X_1) \bar{P}_c + X_1 X_2 P_m \quad (8.3)$$

Порівнюючи вирази (8.2) і (8.3), відзначаємо, що функція $S = f(X_1, X_2, P_m, P_c)$ простіше, ніж функція $S = f_1(X_1, X_2, P_m)$. Схему, відповідну (8.3) пропонується побудувати самостійно.

Задача синтезу має звичайно кілька рішень. Для порівняння різних варіантів комбінаційних схем використовують їх основні характеристики: складність і швидкодію.

8.2. Характеристики комбінаційних схем

Складність схеми оцінюється кількістю устаткування, що становить схему. При розробці схем на основі конкретної елементної бази кількість обладнання зазвичай вимірюється числом корпусів (модулів) інтегральних мікросхем, використовуваних у схемі. У теоретичних розробках орієнтуються на довільну елементну базу і тому для оцінки витрат обладнання використовується оцінка складності схем по Квайну.

Складність (ціна) по Квайну визначається сумарним числом входів логічних елементів у складі схеми.

При такій оцінці одиниця складності - один вхід логічного елемента. Ціна інверсного входу звичайно приймається рівної двом. Такий підхід до оцінки складності виправданий з наступних причин:

– складність схеми легко обчислюється по булевим функціям, на основі яких будується схема: для ДНФ складність схеми дорівнює сумі кількості букв, (букві зі знаком заперечення відповідає ціна 2), та кількості знаків диз'юнкції, збільшеного на 1 для кожного диз'юнктивного вираження;

– всі класичні методи мінімізації булевих функцій забезпечують мінімальність схеми саме в сенсі ціни по Квайну.

Практика показує, що схема з мінімальною ціною по Квайну зазвичай реалізується найменшим числом конструктивних елементів - корпусів інтегральних мікросхем.

Швидкодія комбінаційної схеми оцінюється максимальною затримкою сигналу при проходженні його від входу схеми до виходу, тобто визначається проміжком часу від моменту надходження вхідних сигналів до моменту встановлення відповідних значень вихідних. Затримка сигналу кратна числу елементів, через які проходить сигнал від входу до виходу схеми. Тому швидкодія схеми характеризується значенням $g\tau$, де τ - затримка сигналу на одному елементі. Значення g визначається кількістю рівнів комбінаційної схеми, яке розраховується наступним чином. Входи КС приписується рівень *нульової*. Логічні елементи, пов'язані тільки з входами схеми ставляться до рівня ПЕРШОМУ. Елемент

відноситься до рівня k , якщо він пов'язаний по входах з елементами рівнів $k-1$, $k-2$, і т.д. Максимальний рівень елементів r визначає кількість рівнів КС, зване рангом схеми. Приклад визначення рангу r схеми (рисунок 8.6).

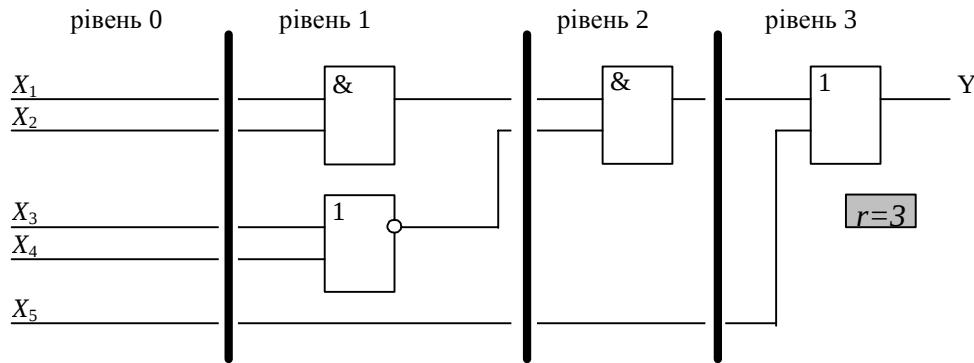


Рисунок 8.6 – Визначення ранга схеми

Як відомо, будь-яка булева функція може бути представлена в ДНФ, якій відповідає дворівнева комбінаційна схема. Отже, швидкодія будь-якої КС в принципі можна довести до 2τ .

Мінімізація булевої функції з метою зменшення складності схем зазвичай призводить до необхідності подання функцій в дужковій формі, якої відповідають схеми з $r > 2$. Тобто, зменшення витрат обладнання в загальному випадку призводить до зниження швидкодії схем.

8.3. Системи (серії) логічних елементів та їх основні характеристики

При побудові КС пристроїв обчислювальної техніки використовуються різні логічні елементи, які повинні узгоджуватися по вхідним і вихідним сигналам, напрузі харчування і т.д. Для цієї мети логічні елементи об'єднують у серії.

Серією (системою, комплексом) логічних елементів ЕОМ називається призначений для побудови цифрових пристроїв функціонально повний набір логічних елементів, поєднує спільними електричними, конструктивними і технологічними параметрами, що використовує однаковий спосіб подання інформації, однаковий тип міжелементних зв'язків. Система елементів найчастіше

надлишкова за своїм функціональним складом, що дозволяє будувати схеми більш економічні за кількістю використаних елементів.

До складу серії входять елементи для виконання логічних операцій, що запам'ятовують елементи, елементи, що реалізують функції вузлів ЕОМ, а також спеціальні елементи для посилення, відновлення і формування сигналів стандартної форми.

Конструктивно логічні елементи являють собою мікро-мініатюризовані інтегральні електронні схеми (мікросхеми), сформовані в кристалі кремнію за допомогою спеціальних технологічних процесів.

У більшості сучасних серій елементів є мікросхеми малого ступеня інтеграції (ІС до 100 елементів на кристал), середнього ступеня (СІС - до 1000 елементів на кристал), великої ступеня інтеграції (ВІС - до 10000 елементів на кристал) та надвеликої ступеня інтеграції (НВІС - більш 10000 елементів на кристал). Логічні елементи у вигляді ІС реалізують сукупність простих логічних операцій: І, АБО, І-АБО, І-НЕ, АБО-НЕ і т.д. Логічні елементи на СІС і ВІС реалізують вузли ЕОМ, на НВІС - мікроЕОМ.

Основними параметрами серії логічних елементів є:

- живлять напруги і сигнали для представлення логічного 0 і логічної 1;
- коефіцієнти об'єднання входу;
- навантажувальна здатність (коефіцієнт розгалуження по виходу);
- завадостійкість;
- розсіює потужність;
- швидкодія.

Серія елементів характеризується кількістю використовуваних *живлячих напруг* і їх номінальними значеннями. Зазвичай логічному 0 відповідає низький рівень напруги, а логічною 1 - високий. Для найбільш часто використовуваних серій напруга живлення складає + 5В, рівень логічної одиниці 2,4-5В, рівень логічного 0 - 0-0,4В.

Коефіцієнт об'єднання входу ($K_{ов}$) визначає максимально можливе число входів логічного елемента, іншими словами, функцію скількох змінних може

реалізувати цей елемент. Зазвичай $K_{ов}$ приймає значення від 2 до 4, рідше $K_{ов} = 8$. Збільшення числа входів пов'язано з ускладненням схеми елементів і призводить до погіршення інших параметрів - завадостійкості, швидкодії і т.д.

Коефіцієнт розгалуження по виходу ($K_{рпв}$) показує на скільки логічних входів може бути одночасно навантажений вихід даного логічного елемента. Зазвичай $K_{рпв}$ для найбільш часто використовуваних серій дорівнює 10. Іноді замість $K_{рпв}$ задається гранично допустиме значення вихідного струму логічного елемента в стані 0 або 1.

Завадостійкість – це здатність елемента правильно функціонувати при наявності перешкод. Вона визначається максимально допустимою напругою завади, при якому не відбувається збою в його роботі. Зазвичай це напруга порядку 0,6-0,9 В.

Швидкодія логічних елементів є одним з найважливіших параметрів і характеризується часом затримки поширення сигналу. Цей параметр істотно залежить від технології виготовлення мікросхем і лежить в діапазоні від одиниць до сотень наносекунд.

Найбільш часто вживані типи інтегральних мікросхем - це потенційні елементи транзисторних-транзисторної логіки (ТТЛ) – серії K155, K555, K531, K1533 і т.д., транзисторної логіки з емітерний зв'язками (Естлі) – це серії K500, K1500, елементи на КМОН транзисторах – серії K176, K561, K564 і т.д.

При синтезі КС на реальних логічних елементах необхідно обов'язково враховувати обмеження на $K_{ов}$ і $K_{рпв}$.

8.4. Синтез КС з урахуванням обмеження на $K_{об}$.

Поданням функції у вигляді ДНФ відповідає дворівнева КС (якщо вважати, що на її вхід можуть надходити як прямі так і інверсні вхідні сигнали), на першому рівні якої елементи І, а їх виходи об'єднуються на другому рівні елементом АБО. Така побудова КС забезпечує її максимальну швидкодію, оскільки ранг схеми мінімальний. Однак, не завжди можливо на першому рівні і, особливо, на другому вибрати логічні елементи з необхідним $K_{об}$, тому може

виявитися, що ЛЕ з таким $K_{об}$ не випускаються промисловістю. У цьому випадку необхідно за допомогою декількох елементів з меншим $K_{об}$ отримати еквівалент з великим $K_{об}$ або, що краще, перетворити БФ, перейшовши від ДНФ до сКовочної формі. Цей перехід супроводжується зменшенням $K_{об}$ логічних елементів, необхідного для побудови схеми. Здійснити такий перехід можна за допомогою *факторного алгоритму*, суть якого розглянемо на прикладі.

Нехай задана деяка булева функція у вигляді:

$$Y = X_1 X_2 X_3 \bar{X}_4 + X_1 X_2 X_3 X_5 X_6 + X_1 \bar{X}_3 \bar{X}_5 \bar{X}_6 + X_1 \bar{X}_2 X_3 X_4 \quad (8.5)$$

Для реалізації цієї функції за наведеним висловом необхідно використовувати 3 логічних елемента 4І, один логічний елемент 5І, один логічний елемент 4АБО.

За допомогою факторного алгоритму отримаємо дужкову форму для заданої функції. Для цього позначимо всі кон'юнкції буквами: $A = X_1 X_2 X_3 \bar{X}_4$, $B = X_1 X_2 X_3 X_5 X_6$, $C = X_1 \bar{X}_3 \bar{X}_5 \bar{X}_6$ і будемо розглядати їх як деякі множини. Знаходимо попарні перетину множин: $A \cap B = X_1 X_2 X_3$, $A \cap C = X_1$, $A \cap D = X_1 X_3$, $B \cap C = X_1$, $B \cap D = X_1 X_2$, $C \cap D = X_1$.

Отримані перетину показують загальні частини окремих кон'юнкцій. Вибираємо перетин, яке має найбільшу довжину (якщо таке відсутнє, то вибирають те, яке найчастіше зустрічається). В даному випадку це $A \cap B = X_1 X_2 X_3$. Тому з кон'юнкція А і В виносимо загальну частину $X_1 X_2 X_3$. Тоді маємо:

$$Y = X_1 X_2 X_3 (\bar{X}_4 + X_5 X_6) + X_1 \bar{X}_3 \bar{X}_5 \bar{X}_6 + X_1 \bar{X}_2 X_3 X_4. \quad (8.6)$$

Позначимо $F = X_1 X_2 X_3 (\bar{X}_4 + X_5 X_6)$ і знаходимо перетини:

$$F \cap C = X_1, \quad F \cap D = X_1 X_3, \quad C \cap D = X_1. \quad (8.7)$$

Отже, для вихідної функції маємо:

$$Y = X_1 X_3 [X_2 (\bar{X}_4 + X_5 X_6) + \bar{X}_2 X_4] + X_1 \bar{X}_3 \bar{X}_5 \bar{X}_6 \quad (8.8)$$

Позначимо, $E = X_1 X_3 [X_2 (\bar{X}_4 + X_5 X_6) + \bar{X}_2 X_4]$, перетин $E \cap C = X_1$. Отже, остаточно маємо:

$$Y = X_1 \{X_3 [X_2 (\bar{X}_4 + X_5 X_6) + \bar{X}_2 X_4] + \bar{X}_3 \bar{X}_5 \bar{X}_6\} \quad (8.9)$$

Для реалізації функції за останнім висловом необхідно 5 елементів 2І, 1 елемент 3І, 3 елемента 2АБО (рисунок.8.7).

Як видно з отриманої схеми для її реалізації необхідні елементи з $K_{об} = 2$ або 3 (на відміну від вихідної з $K_{об} = 4$ або 5). Однак ранг схеми збільшився до 7, що призводить до збільшення затримки спрацьовування схеми.

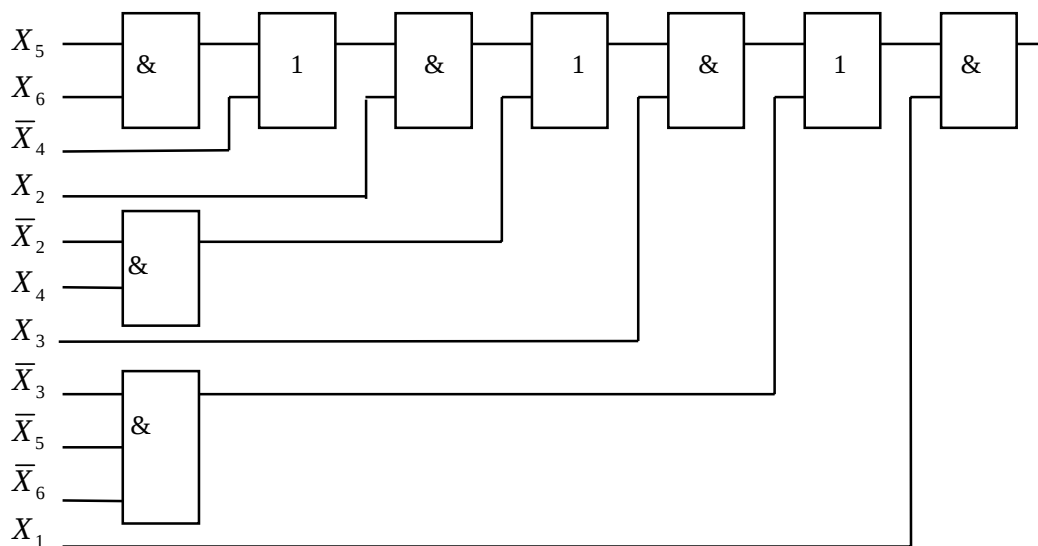


Рисунок 8.7 – Функціональна схема, отримана на основі факторного алгоритму

8.5. Аналіз комбінаційних схем

Завдання аналізу КС виникають при необхідності перевірити правильність синтезу (на етапі проектування) або визначити БФ, реалізовану КС (при аналізі або ремонті схем). Всі існуючі методи аналізу діляться на *прямі* і *непрямі*.

У результаті аналізу КС *прямим* методом виходить безліч наборів вхідних змінних, що забезпечують задане значення на виході, що дозволяє записати в алгебраїчному вигляді БФ, реалізовану схемою. До прямих методів відноситься метод π - алгоритму.

Застосування *непрямих* методів дає можливість визначити реакцію схеми на заданий набір вхідних змінних в статистиці або проаналізувати перехідний процес зміни одного вхідного набору на інший. Прикладами непрямих методів аналізу, є методи синхронного та асинхронного моделювання.

Всі згадані методи аналізу є машино-орієнтованими, що дозволяє виконати аналіз схеми на ЕОМ.

Для всіх методів аналізу необхідно описати схему у вигляді схемного списку, до якого включається в загальному випадку такі дані: номер ЛЕ у схемі; логічна функція, реалізована ЛЕ; вхідні змінні для даного ЛЕ.

8.6 Аналіз комбінаційних схем методом π -алгоритму

При цьому методі, як згадувалося вище, шукаються набори вхідних змінних, що забезпечують задане значення на виході КС. Набори, що забезпечують на виході КС логічну 1, утворюють так зване *одиничне покриття* C^1 .

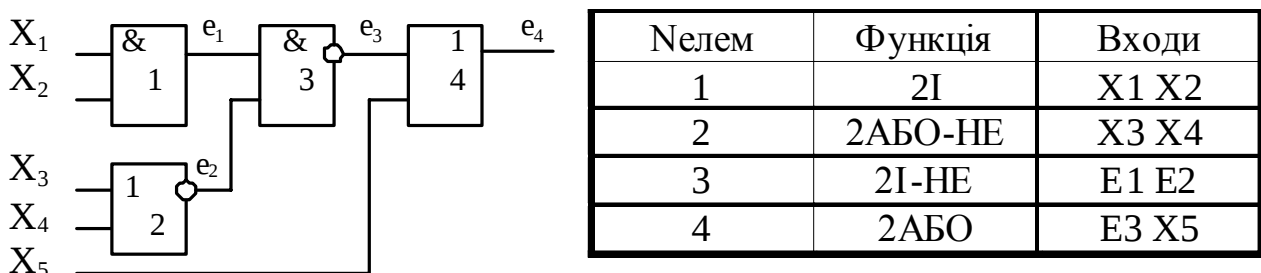


Рисунок 8.8 – Приклад аналізу КС

Аналогічно, вхідні набори, що забезпечують на виході КС логічний 0, утворюють *нульове покриття* C^0 . Розглянемо покриття і для найпростішого логічного елемента 2І, що виконує функцію $Y = X_1X_2$. Таблиця істинності для цієї функції:

Таблиця 8.3 – Таблиця істинності функції $Y = X_1X_2$

X1	X2	Y
0	0	0
0	1	0
1	0	0
1	1	1

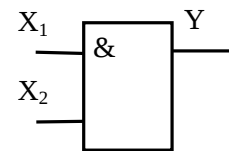


Рисунок 8.9 – Логічний елемент

Як видно з наведеної таблиці тільки при єдиному наборі $X_1 = 1$ і $X_2 = 1$ на виході ЛЕ буде 1, тобто одиничне покриття включає тільки один набір $= \{1 -1\}$. На виході ЛЕ буде 0 при трьох наборах, що утворюють нульове покриття:

$$C^0 = \begin{bmatrix} 00 \\ 01 \\ 10 \end{bmatrix} \quad (8.10)$$

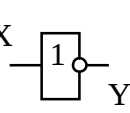
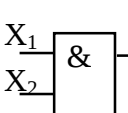
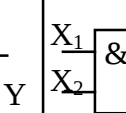
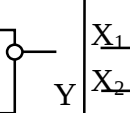
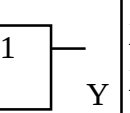
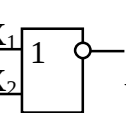
Це покриття можна спростити, зауваживши, що перший набір склеюється з другим і третім, тобто:

$$C^0 = \begin{bmatrix} 0X \\ X0 \end{bmatrix} \quad (8.11)$$

Т.ч. для ЛЕ 2І можна сказати, що 1 на його виході буде тільки при обох одиницях на входах, а для забезпечення 0 на виході достатньо подати хоча б на один вхід 0. Міркуючи аналогічно, отримаємо таблицю покриттів і для основних ЛЕ, представлених нижче у таблиці 8.4.

При аналізі схеми методом π - алгоритму, задавшись певним значенням на виході, замінюють його відповідним покриттям елемента, що формує вихідний сигнал. У результаті цього визначається, які повинні бути сигнали на виходах елементів, підключених до вихідного ЛЕ. У свою чергу, сигнали на виходах цих елементів можна замінити відповідними покриттями, тобто визначити значення вихідних сигналів для інших ЛЕ і т.д. Цей процес продовжується до тих пір, поки не вийдуть покриття, що складаються тільки з вхідних змінних, званих опорними. Сукупність таких покриттів і дає відповідне покриття схеми.

Таблиця 8.4 – Таблиця станів

ЛЕ							
	НЕ X	2И X ₁ X ₂	2И – НЕ X ₁ X ₂	2АБО X ₁ X ₂	2АБО–НЕ X ₁ X ₂	ИСК. АБО X ₁ X ₂	3И – НЕ X ₁ X ₂ X ₃
C ⁰	1	0 X X 0	1 1	0 0	1 X X 1	0 0 1 1	1 1 1
C ¹	0	1 1	0 X X 0	1 X X 1	0 0	0 1 1 0	0 X X X 0 X X X 0

Приклад аналізу КС (рисунок 8.8.) методом π - алгоритму представлений в таблиці 8.5. В останній колонці цієї таблиці наведено оператор підстановки, в результаті роботи якого сигнал на виході ЛЕ замінюється відповідним покриттям. Необхідно звернути увагу, що всі значення змінних, записані в одному рядку, повинні одночасно бути в наявності для забезпечення заданого значення вихідного сигналу. Тому, при заміні одного з значень в стрічці відповідним покриттям, всі інші значення для інших змінних в цьому рядку повинні бути присутніми спільно з цим покриттям.

На підставі отриманого одиничного покриття можна записати БФ, реалізовану схемою:

$$Y = X_5 + \bar{X}_1 + \bar{X}_2 + X_3 + X_4 \quad (8.12)$$

Таблиця 8.5 – Аналіз схеми методом π - алгоритму.

X_1	X_2	X_3	X_4	X_5	e_1	e_2	e_3	e_4	Оператор
--	--	--	--	--	--	--	--	1	---
--	--	--	--	--	--	--	1	--	Π_4^1 2ИЛИ $\begin{bmatrix} x & x & x & x & 1 \\ 0 & x & x & x & x \end{bmatrix}$
--	--	--	--	1	--	--	--	--	Π_3^1 2И-НЕ $\begin{bmatrix} x & x & 0 & x & x \\ x & x & 1 & x & x \end{bmatrix}$
--	--	--	--	--	x	0	--	--	Π_1^0 2И $\begin{bmatrix} x & x & x & 1 & x \end{bmatrix}$
0	--	--	--	--	--	--	--	--	Π_2^0 2ИЛИ-НЕ $X_3 X_4$
x	0	--	--	--	--	--	--	--	
--	--	1	x	--	--	--	--	--	
--	--	X	1	--	--	--	--	--	

а) Отримання першого покриття C^1

X_1	X_2	X_3	X_4	X_5	e_1	e_2	e_3	e_4	Оператор
--	--	--	--	--	--	--	--	0	---
--	--	--	--	0	--	--	0	0	Π_4^0 2ИЛИ $X_5 e_3$
--	--	--	--	0	1	1	--	--	Π_3^0 2И-НЕ $e_1 e_2$
1	1	--	--	0	--	1	--	--	Π_1^1 2И $X_1 X_2$
1	1	0	0	0	--	--	--	--	Π_2^1 2ИЛИ-НЕ $X_3 X_4$

$$C^0 = \{X11000\}$$

б) Отримання нульового покриття C^0

Надалі можна порівняти отриману БФ з тією, по якій будувалася схема і перевірити правильність її побудови. При аналізі схеми може виявитися, що деяка змінна, що отримала на одному з попередніх кроків деякі значення на даному кроці повинна прийняти протилежне значення. Виникла суперечність говорить про те, що даний шлях є тупиковим і його необхідно виключити з подальшого розгляду. Якщо ні при одній комбінації вхідних змінних не забезпечується значення 1 (0) на виході, то це означає, що схема реалізує константу 0 (1) відповідно.

8.8. Аналіз КС методом синхронного моделювання

При цьому методі вважається, що всі ЛЕ перемикаються одночасно, без затримки. В результаті застосування методу визначається стає значення сигналу на виході схеми.

Розглянемо метод синхронного моделювання на прикладі схеми (рисунк.8.8).

На першому етапі схему розбиваємо на рівні і записуємо в порядку зростання рівня рівняння, що описують функціонування ЛЕ (таблиця 8.6).

Таблиця 8.6 – Функціонування ЛЕ

№рівня	№елемента	рівняння
1	1	$e_1 = X_1 \cap X_2$
	2	$e_2 = \overline{X_3 + X_4}$
2	3	$e_3 = \overline{e_1 \cap e_2}$
3	4	$Y = e_4 = e_3 + X_5$

Проаналізуємо схему при подачі на вхід набору $X_1 = 0, X_2 = 0, X_3 = 0, X_4 = 1, X_5 = 1$. Для цього вирішуємо записані рівняння в порядку зростання рівняння.

маємо:

$$e_1 = X_1 \cap X_2 = 0 \cap 0 = 0, \quad (8.13)$$

$$e_2 = \overline{X_3 + X_4} = \overline{0 + 1} = 0, \quad (8.14)$$

$$e_3 = \overline{e_1 \cap e_2} = \overline{0 \cap 0} = 1, \quad (8.15)$$

$$Y = e_4 = e_3 + X_5 = 1 + 1 = 1. \quad (8.16)$$

Отже, при подачі на вхід набору {00011}, на виході буде $Y = 1$. Аналогічно можна промодельовати роботу схеми при подачі на вхід будь-якого іншого набору.

8.9. Аналіз КС методом асинхронного моделювання

Реальний ЛЕ перемикається за якийсь кінцеве час, що залежить від технології виготовлення, умов експлуатації, ємностей навантаження і т.д. Проходження сигналу послідовно через кілька ЛЕ буде призводити до накопичення часу

затримки і виникненню зсуву в часі вихідного сигналу по відношенню до вхідного. Наявність затримки і породжуваного нею тимчасового зсуву сигналів може призводити до появи на виході окремих ЛЕ і всієї схеми в цілому короткочасних сигналів, не передбачених БФ, реалізованої схемою. Як ілюстрацію, розглянемо схему (рисунок 8.10а).

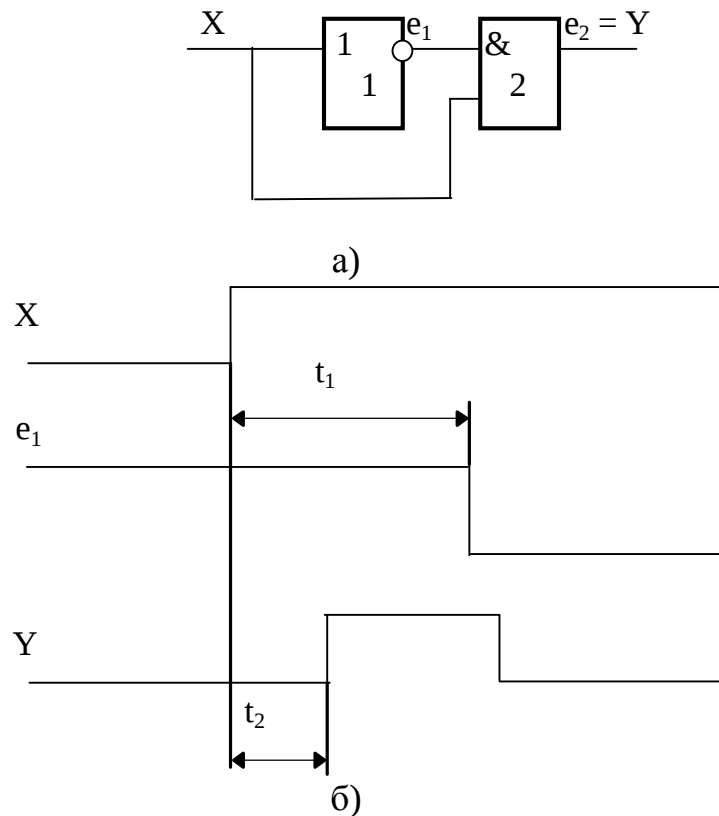


Рисунок 8.10 – Статичний ризик збою: а) – схема; б) – тимчасові діаграми (t_1 - час затримки інвертора; t_2 -час затримки елемента 2І)

Дана схема реалізує функцію, тобто константу 0 незалежно від вхідного сигналу X . Однак в перехідному процесі в результаті затримки спрацьовування ЛЕ можлива ситуація, коли на обох входах елемента 2І будуть логічні одиниці, що може призвести до появи на виході схеми логічної 1 (рисунок 8.11, б). Розглянутий випадок можливий при затримці спрацьовування другого елемента більше, ніж перший. Таке явище називається ризиком збою. Розрізняють статистичний і динамічний ризики збою.

При статичному ризик збою до і після перехідного процесу стан вихідного сигналу одне і те ж, а під час перехідного процесу можливе короткочасне поява протилежної сигналу.

При динамічному ризик збою до і після перехідного процесу стану вихідного сигналу протилежні, але в перехідному процесі вихідний сигнал кілька разів змінює своє значення. Динамічний ризик збою можливий у схемі (рисунок 8.12, а) на зміну набору ($X_1 = 0, X_2 = 1, X_3 = 1$) на набір ($X_1 = 1, X_2 = 0, X_3 = 0$) і ілюструється діаграмами (рисунок 8.11,б).

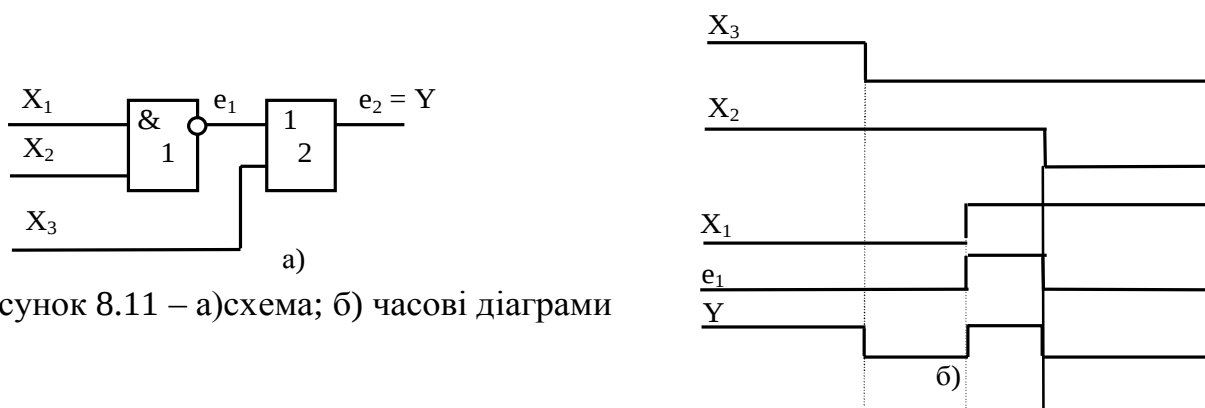


Рисунок 8.11 – а)схема; б) часові діаграми

У даному прикладі динамічний ризик збою на виході КС супроводжується статичним на виході елемента 1. Як видно з часових діаграм ризик збою має місце за наявності певного тимчасового зсуву між сигналами, які надходять на вхід ЛЕ. Небажані сигнали на виході можуть бути і відсутніми при іншому співвідношенні часових сигналів, однак принципова можливість їх появи є чинником знижує надійність роботи схеми. Тому дуже важливо вміти виявляти і усувати такі явища.

Для аналізу процесу перемикавання КС при зміні вхідних наборів і виявлення ризиків збою використовується метод асинхронного моделювання. При цьому методі вважається, що кожен елемент перемикається з однаковою затримкою. Аналіз включає такі етапи:

1. Кожному елементу схеми присвоюється рівень, причому рівень 1 мають елементи, всі входи яких є незалежними входами схеми.
2. Записуються рівняння, що описують кожен ЛЕ в порядку убудови рівня.
3. Для початкового вхідного набору А ($X_1, X_2, \dots, X_n$) визначається значення сигналів на виходах всіх ЛЕ схеми. Нехай даний набір А замінюється набором В ($X_1, X_2, \dots, X_n$).

4. Помічаються ті рівняння, в правій частині яких хоча б одна з змінних змінила своє значення.

5. Вирішуються помічені рівняння в порядку їх запису в схемі. Після рішення рівняння вважається Непомічені.

6. Якщо після вирішення всіх рівнянь системи змінні, що входять в ліві частини рівнянь, змінили свої значення, то знову позначаються ті рівняння, в праві частини яких входять ці змінні. Потім здійснюється перехід до п.5. В іншому випадку моделювання даного вхідного набору вважається закінченим. Виконання п.5 називається тактом моделювання.

Аналіз схеми (рисунок.8.12) методом асинхронного моделювання наведено нижче. Для даної схеми вхідний набір А (1011110) замінюється набором В (1101011).

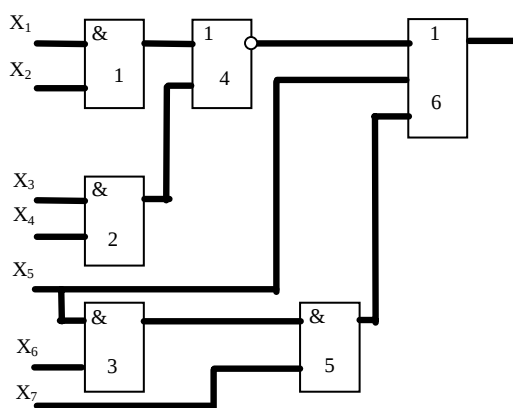


Рисунок 8.12 – Комбінаційна схема для методу асинхронного моделювання.

Як впливає з результатів моделювання, при зміні набору А набором В на виході елемента 4 має місце статичний ризик збою, а на виході схеми - динамічний ризик збою.

Радикальним способом усунення ризиків збою є введення стробування для зняття вихідного сигналу КС. Стробуючий імпульс подається після закінчення перехідного процесу в КС (тобто коли на виході КС вже встановилося необхідне значення вихідного сигналу), що виключає вплив можливих збоїв на вироблюваний схемою сигнал.

Рівняння, що описують ЛЕ (таблиця 8.8).

Таблиця 8.8 – Рівняння , що описують логічні елементи

	1-й такт	2-й такт	3-й такт
$Y = e_6 = e_4 + e_5 + X_5$	*	*	*
$e_5 = e_3 \cap X_7$	*	*	-
$\overline{e_4 = e_1 + e_2}$	-	*	-
$e_3 = X_5 \cap X_6$	*	-	-
$e_2 = X_5 \cap X_4$	*	-	-
$e_1 = X_1 \cap X_2$	*	-	-

Таблиця 8.9 – Таблиця моделювання схеми

Виходи	Такти моделювання				Прик.
	0	1	2	3	
e_6	1	0	1	0	дин. стат.
e_5	0	1	0	0	
e_4	0	0	0	0	
e_3	1	0	0	0	
e_2	1	0	0	0	
e_1	0	1	0	1	

РОЗДІЛ 9

ГЕНЕРАТОРИ ТАКТОВИХ ІМПУЛЬСІВ (ГТІ) НА ЛОГІЧНИХ ЕЛЕМЕНТАХ

9.1. ГТІ на двох інверторах

Існує багато різних схем ГТВ (мультивібраторів) на логічних елементах [6, 12], найпростішої з яких є схема на двох елементах І-НЕ (інверторах) (рисунок. 9.1).

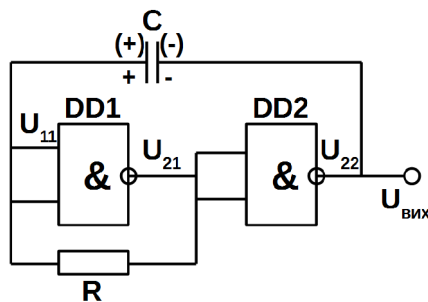


Рисунок 9.1 – Схема на двох елементах І-НЕ

Для стабілізації роботи в схемі використана місцева (охоплює тільки одну ІМС) негативний зворотний зв'язок через резистор R.

Необхідна для самозбудження генератора позитивний зворотний зв'язок (ПЗЗ) реалізована через конденсатор C.

У процесі роботи схеми перезаряд конденсатора C через резистор R (рисунок. 9.2).

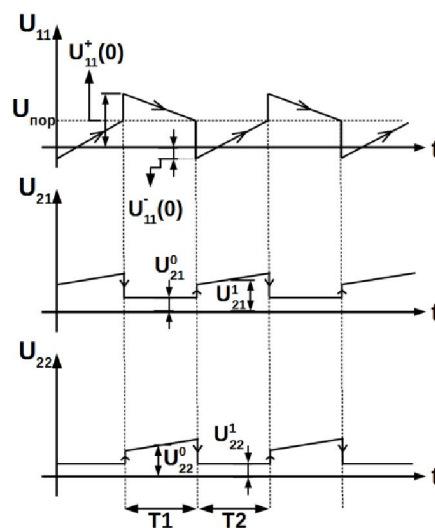


Рисунок 9.2 – Тимчасові діаграм перезарядки конденсатора

На часовому інтервалі T1 на вході елемента DD1 напруга $U_{11} > U_{пор} \approx 1,3 \dots 1,5$ В, де $U_{пор}$ - порогове напруга логічного елемента. Тому на виході DD1 підтримується низький рівень напруги U_{021} , а на виході DD2 - високий рівень U_{022} . Струм перезаряду конденсатора тече від джерела живлення по ланцюгу: (" + $E_{жив}$ "; $R_{1_{вих2}}$; C; R; $R_{0_{вих1}}$; "земля") і експоненціально зменшується з постійною часу (9.1):

$$\tau_1 \approx C \cdot (R_{ex2}^1 + R) \approx C \cdot R. \quad (9.1)$$

При цьому напруга на вході DD1 також експоненціально падає від початкової напруги $U_{11}^+(0)$, асимптотично прагнучи до рівня $U_{11}^+(\infty) = U_{22}^0 \approx 0$. У момент, коли напруга на вході DD1 досягає рівня порога $U_{пор}$, інвертор DD1 переходить в підсилювальний режим (похила ділянка передавальної характеристики логічного елемента (рисунк 6.1). Напруга U_{21} зростає і інвертор DD2 також переходить в підсилювальний режим. У схемі починає виконуватися умова виникнення стрибків: баланс амплітуд і баланс фаз (ПОС), що сприяє швидкому (лавиноподібного) переключенню мультивібратора в інше стан рівноваги ($U_{21} = 1, U_{22} = 0$).

На виході виникає негативний стрибок напруги, який через конденсатор C прикладається до входу U_{11} , викликаючи там теж стрибок напруги. Так як $|\Delta U_{22}| > U_{пор}$, то на вході з'являється невелика негативна напруга $U_{11}^-(0)$.

На часовому інтервалі T2 напруга на вході DD1 $U_{11} < U_{пор}$, тому на виході DD1 - високий рівень U_{21}^1 , а на виході елемента DD2 - низький $U_{22}^0 \approx 0$. Конденсатор C знову перезаряджається. Струм перезаряду C протікає в протилежному напрямку по ланцюгу: (" + $E_{жив}$ "; R; C; "земля").

У міру перезаряду струм через резистор R зменшується експоненціально зі змінною часу,

$$\tau_2 \approx C \cdot (R \parallel R_{ex1}^0). \quad (9.2)$$

а напруга на вході DD1 експоненціально зростає від рівня $U_{11}(0)$, асимптотично прагнучи до рівня $U_{11}(\infty) = +E_{num}$.

У момент збігу U_{11} і $U_{пор}$ схема знову перемикається. На виході U_{22} з'являється позитивний стрибок напруги, який через конденсатор C прикладається до входу U_{11} , викликаючи там також стрибок напруги. Далі описані процеси повторюються.

Період генеруючих імпульсів визначається залежністю [12].

$$T \approx 2,3C \cdot R. \quad (9.3)$$

за умови, що величина резистора R лежить в діапазоні:

$$240 \text{ Ом} < R < 470 \text{ Ом} \quad (9.4)$$

До достоїнств розглянутого МВ відносяться: простота схеми і стабільність частоти генерації. При зміні напруги живлення ІМС ТТЛ-типу в діапазоні (4,5 ... 5,5) В частота змінюється тільки на 2%. Головний недолік - спотворення вершини вихідних імпульсів, тому вихід пов'язаний з конденсатором, який постійно перезаряджається.

Для усунення цього недоліку в схему вводять ще один елемент І-НЕ (інвертор).

9.2. ГТВ на 3-х інверторах.

У схемі такого генератора (рисунок 9.3) резистор R відключений від виходу DD1 і підключений до виходу елемента DD3.

Перезаряд конденсатора C проходить через резистор R і вихідні ланцюги DD2 і DD3. Оскільки елемент DD1 не навантажений ємністю, імпульси на його виході мають гарну прямокутність. Принцип роботи схеми аналогічний попередньої. Тимчасова діаграма роботи показана на рисунок 9.4.

Величина резистора R вибирається з умови [12]:

$$240 \text{ Ом} < R < 1,5 \text{ кОм}. \quad (9.5)$$

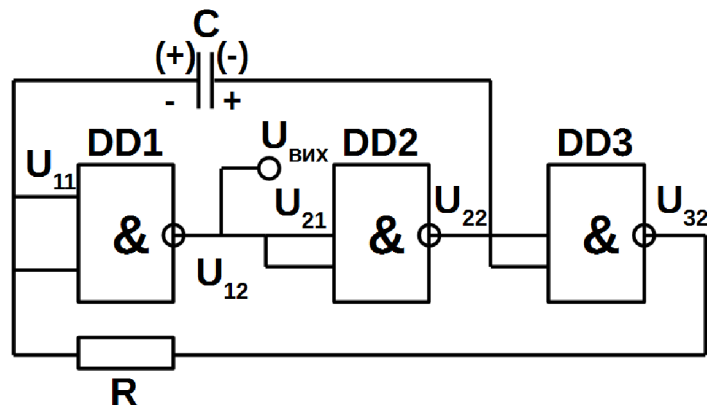


Рисунок 9.3 – Функціональна схема генератора виконаного на логічних елементах

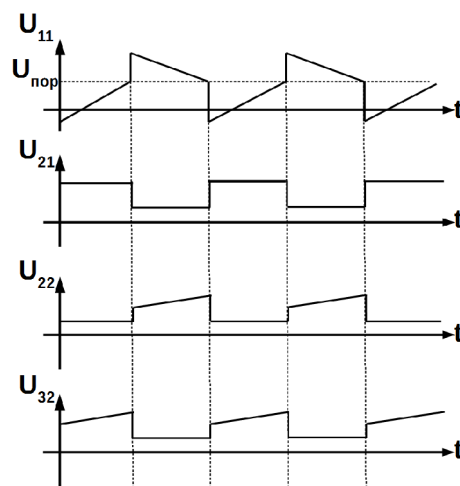


Рисунок 9.4 – Тимчасова діаграма роботи генератора

Період генеруючих імпульсів:

$$T \approx 2,3C \cdot R. \quad (9.6)$$

9.3. Генератори електричних сигналів

9.3.1 Теоретичні відомості та розрахункові співвідношення

Для отримання електричних сигналів різної форми використовуються генератори гармонійних коливань і імпульсів. В основі роботи цих генераторів

лежать підсилювальні елементи, охоплені ланцюгом позитивного зворотного зв'язку. При цьому в генераторах гармонійних коливань підсилювальні елементи працюють в активному (усилюючому) режимі, а в імпульсних генераторах характерними є граничні режими підсилювального елемента (насичення або відсічення), перехід яких з одного стану в інший відбувається лавиноподібно через проміжний підсилювальний режим. Швидкість цього переходу визначає тривалість фронтів генеруючих імпульсів і повинна бути максимальною.

Гармонійні коливання в генераторах підтримуються частотно-виборчими чотириполіусниками: резонансними 2-С-контуром або іншими резонуючими елементами (кварцові або об'ємні резонатори і т.п.), або за допомогою фазової LC-ланцюгів, включених в ланцюг ПОС підсилювачів.

В імпульсних генераторах, які можуть працювати в двох режимах:

автоколивальним або режимі, ПОС створюється за допомогою LC-ланцюгів або імпульсних трансформаторів.

Генератори гармонійних коливань. При охопленні підсилювача він самозбуджується, так як коефіцієнти посилення на певних частотах досягають нескінченно великого значення. Така схема працює в автоколивальних режимі і є автогенератори, якщо дотримуються умови балансу амплітуд:

$$K_y U \beta \geq 1 \quad (9.7)$$

і умова балансу фаз:

$$\varphi_k + \varphi_\beta = 2\pi \cdot n, \quad (9.8)$$

Де $n = 0, 1, 2, 3, \dots$

Генератори гармонійних коливань підрозділяються на LC-автогенератори, RC- автогенератори і кварцові генератори.

Основні типи LC- генераторів наведені на рисунок 9.5. Вони діляться на схеми з трансформаторним зв'язком (рисунок 9.5, а), індуктивним (рисунок 9.5, б і г) і ємнісні (рисунок 9.5, в і д) трьох точкові.

У схемі рисунок 9.5, а використовується індуктивний зв'язок обмотки резонансного контуру LC, що є навантаженням одно каскадного підсилювача по схемі з ОЕ, з другої обмоткою L_{oc} включеної в ланцюг порушення підсилювача (в ланцюг бази). Елементи $R1, R2$ призначені для забезпечення необхідного режиму по постійному струму. За рахунок конденсатора $C2$, реактивний опір якого на частоті генерації незначно, заземлюється один кінець базової обмотки. Опір контуру на резонансній частоті носить чисто активний характер.

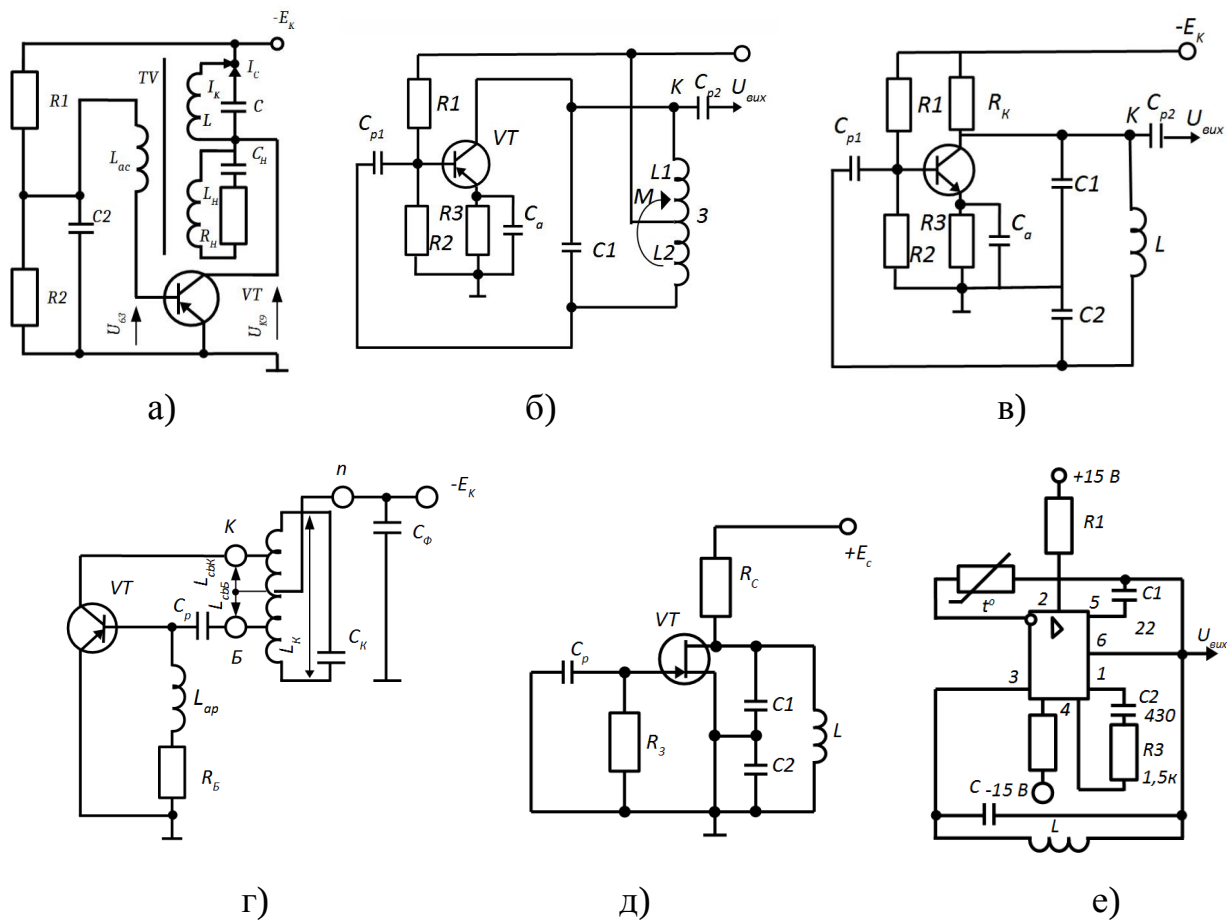


Рисунок 9.5 – Основні типи LC- генераторів: а) з трансформаторним зв'язком; б), г) індуктивним зв'язком; в), д) ємнісним зв'язком

Для отримання стійкого автоколивального процесу з частотою f_r необхідно вибрати транзистор, у якого

$$h_{21\vartheta} \geq (h_{11\vartheta} + r_{oc}) CR_K / M + M/L \quad (9.9)$$

У схемах LC - автогенераторів рисунок 9.5, б, в, г, і частина резонансного контуру використовується для отримання зворотного зв'язку. Такі схеми отримали назву три точкова.

У схемах рисунок 9.5, б, г, відомих під назвою індуктивної три точкова, секціонована індуктивна гілка коливального контуру, загальна точка якого через нульове опір джерела живлення змінної складової струму приєднана до емітера. Зворотній зв'язок між індуктивностями L_1 і L_2 (рисунок 9.5, б) здійснюється за рахунок взаємо індуктивності M

Режим по постійному струму і його термостабілізація здійснюються в три точкових схемах за рахунок таких же елементів, що і в підсилювачах (R_1 , R_2 , R_0 , C_e) Реактивний опір конденсатора зворотного зв'язку

Сд на частоті генерації нехтує.

Частота генерованих коливань і критичний коефіцієнт посилення визначаються відповідно з вираженні:

$$f_r \approx (1/2\pi) \sqrt{1 / [C_1 (L_1 + L_2 + 2M)]}, \quad (9.10)$$

$$h_{21e} \approx (L_2 + M) / (L_1 + M), \quad (9.11)$$

LC-автогенератор за схемою ємнісний три точковий (рисунок 9.5, в д) містить в ємнісний гілці коливального контуру два конденсатора C_1 і C_2 . Напряга зворотного зв'язку з останнього надходить у вхідні ланцюг підсилювальної ланки. При такому включенні конденсаторів полярності миттєвих значень напруги на їх обкладинках щодо загальної точки протилежні.

Частота генерованих коливань і критичний коефіцієнт посилення визначаються відповідно з вираженні:

$$f_r \approx (1/2\pi) \sqrt{1 / [LC_1 \cdot C_2 / (C_1 + C_2)]}, \quad (9.12)$$

$$h_{21e} \approx C_2 / C_1. \quad (9.13)$$

Високими технічними показниками володіють LC-автогенератори гармонійних коливань, що використовують в якості підсилюючих ланок ОУ.

Великий коефіцієнт посилення ОУ дозволяє, крім позитивного зворотного зв'язку, через частотно-виборчий резонансний контур вводити досить глибокі додаткові негативні зворотні зв'язки, що істотно підвищує стабільність частоти генерованих коливань. Крім того, ОУ має великий вхідний і дуже мале вихідний опираючись-ня, що дозволяє не враховувати їх при розрахунку і проектуванні конкурують-них схем LC-автогенераторів.

Один з типових варіантів LC- автогенератор а на ОУ типу 153УД1 показаний на рисунок 9.5, е. У цій схемі LC- контур включений в ланцюг ПОС між виходом (вивід 6) і неінвертуючого входом (вивід 3) ОУ. Включення в ланцюг негативного зворотного зв'язку між виходом і інвертується входом підсилювача (висновок 2) терморезистора забезпечує високий рівень термостабілізації амплітуди і частоти коливань, що генеруються.

У RC- автогенераторах, на відміну від резонансної частоти ω_0 колеватого LC- контуру, частоту ω_0 називають квазірезонансного.

Для того щ ω_0 : усього можливого спектра частот RC- а ω_0 енератор генерував лише одну, умови самозбудження генератора (9.7), (9.8) повинні бути виконані на цій частоті. За принципом побудови RC- авто-генератори підрозділяються на автогенератори з поворотом фази сигналу в ланцюзі ПОС на $\pm 180^\circ$ на квазірезонансного частоті ω_0 і автогенератори без повороту фази, у яких фазовий зсув сигналу в ланцюзі ПОС на квазірезонансної частоті дорівнює нулю.

RC – автогенератори з поворотом фази містять підсилювач, фаза вихідного напруги якого відрізняється від (рази вхідного на 180° . Тому виконання умови балансу фаз можливо в тому випадку, коли ланцюг частотно-залежною зворотного зв'язку (фазує ланцюжок) також забезпечить поворот фази напруги на частоті генерації на 180° .

Як фазу використовують ланцюги, що складаються з найпростіших Г-подібний RC- ланцюг (зазвичай трьох або чотирьох). Триланковий ланцюг, так звана С-паралель, показана на рисунок 9.6, а, а R-паралель - на рисунок 9.6, в. Частотні і

фазові характеристики ланцюгів С- і R-паралель наведені відповідно на рисунок 9.6, б і 9.6, г.

Як видно з рисунка 9.6, б і 9.6, г, на квазірезонансної частоті фазовий зсув ω_β між вхідним і вихідним напругами для ланцюжка R-паралель дорівнює $+180^\circ$, а для ланцюжка С-паралельні -180° .

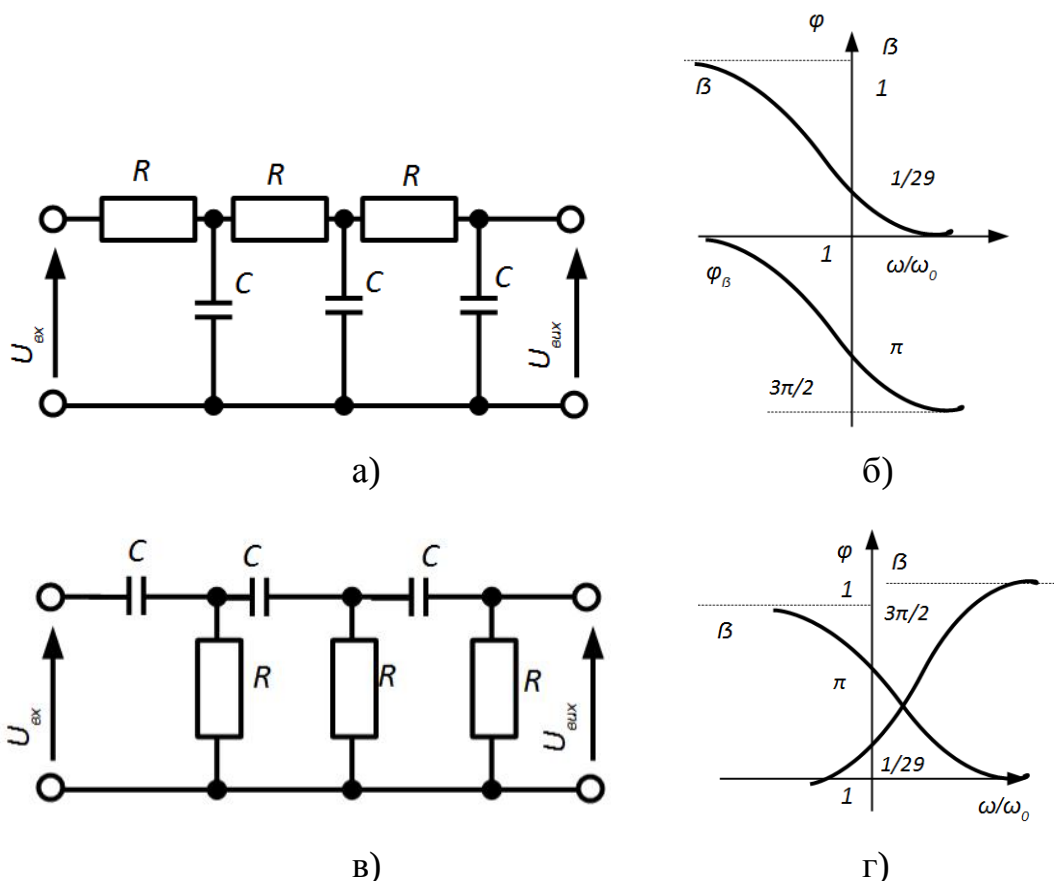


Рисунок 9.6 – Схеми триланкових ланцюгів: а) С- паралель; б) а R-паралель; в) частотні і фазові характеристики ланцюга С- паралель; г) частотні і фазові характеристики ланцюгів R-паралель

На цій же частоті коефіцієнт передачі напруги $\beta = \frac{U_{\text{вих}}}{U_{\text{вх}}}$ для обох ланцюжків має істотне значення β_0 і дорівнює $1/29$. Таким чином, підсилювальний каскад із зсувом фази напруги підсилювального сигналу на 180° , в якому здійснена ПОС за допомогою триланкових ланцюжків R- або С-паралель, може генерувати гармонійні коливання з частотно f_0 (для ланцюжка R-паралель $f_0 = \frac{\omega_0}{2\pi} = \frac{1}{2\pi RC\sqrt{6}}$, для ланцюжка С-паралель $f_0 \approx \frac{\omega_0}{2\pi} = \frac{\sqrt{6}}{2\pi RC}$, якщо його коефіцієнт посилення

перевищує 29, що відповідає також виконання умови балансу амплітуд, нерівність (9.7).

На рисунку 9.7 з приведені принципові схеми RC-автогенераторів на біполярних транзисторах ланцюжками 3-паралель (а, б) і R-паралель (в, г).

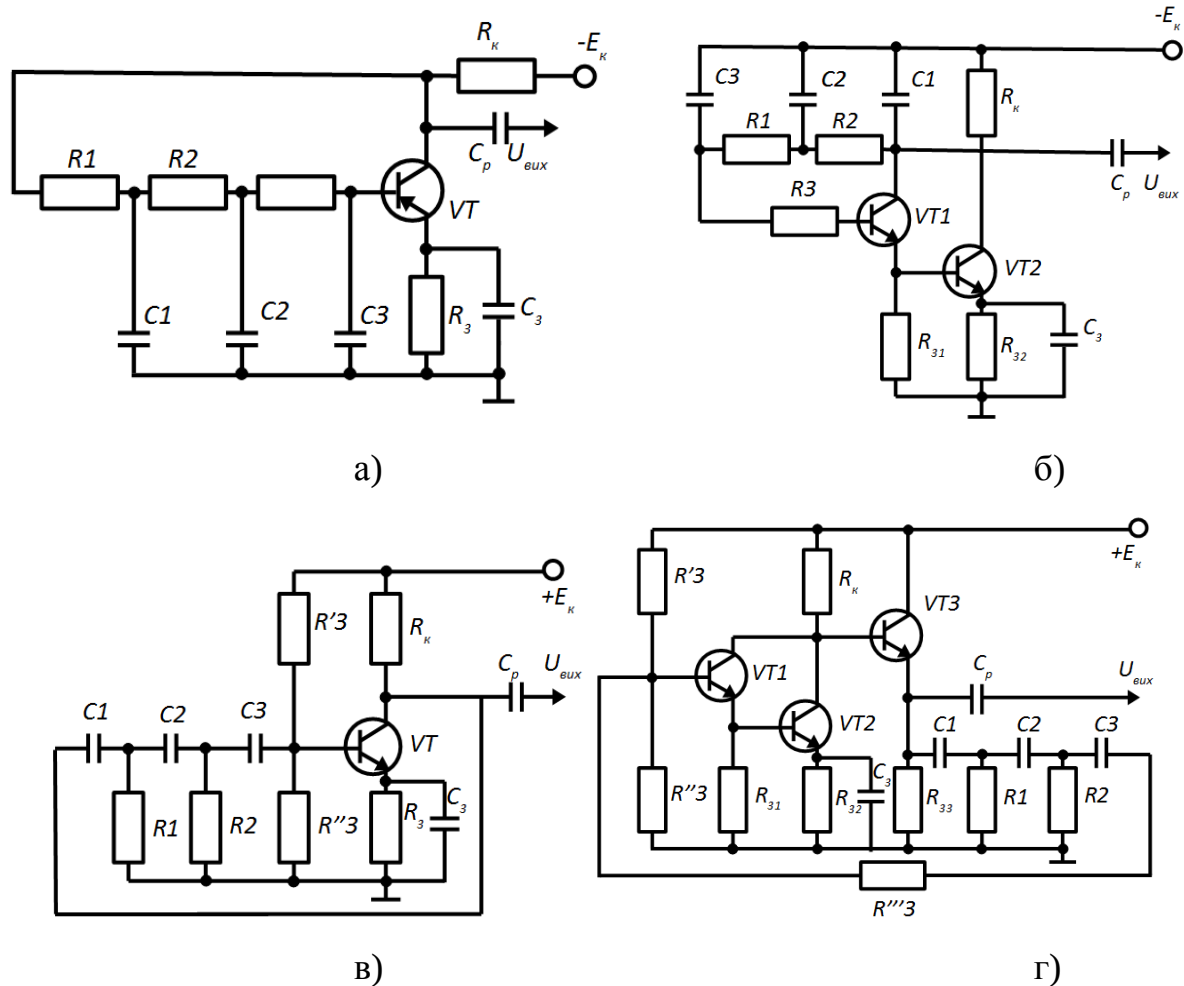


Рисунок 9.7 – принципові схеми RC-автогенераторів на біполярних транзисторах ланцюжками: а),б) 3-паралель; в),г) R-паралель

Частота генерованих коливань і критичний коефіцієнт посилення, визначаються відповідно з вираженні:

для схем рисунок 9.7, а, б:

$$f_r = \frac{1 \cdot \sqrt{7 + \left(\frac{3}{m}\right)}}{2\pi R C}; \quad (9.14)$$

$$h_{21e,кр} = 21 + 32m + 3/m; \quad (9.15)$$

Де $R = R_1 = R_2 = R_3 = mR_0$; $C = C_1/m = C_2 = C_3$; $R_3 = R'_3 = R_{ex}$;

$$m \approx [(1 + h_{21e})U_{0K}] / [3(E_K - U_{0K})] ;$$

для схем рис 6.3, в, г:

$$f_r = \frac{1/\sqrt{(4 \cdot m + 6)}}{2 \cdot \pi R \cdot C} ; \quad (9.16)$$

$$h_{21e.кр} = (23 + 29 \cdot m + 4/m)R_3 / (R_3 + R_{ex}); \quad (9.17)$$

$$\text{Де } m = \frac{R_{вих}}{R_3 // R_{ex}} = 2 \dots 5; R = R_1 = R_2 = R_3 // R_{ex}; C = C_1 \cdot m = C_2 = C_3 .$$

Залежність критичного коефіцієнта передачі по току від вхідного опору підсилювального каскаду обумовлює необхідність застосування транзисторів з $h_{21E} > 45 \dots 60$, що може бути забезпечено далеко не кожним транзистором. Цей недолік можна усунути застосуванням складеного включення транзисторів або додаткового каскаду за схемою з ОК, узгоджувального фазує ланцюжок з підсилювальним ланкою (рисунок 9.6, б, г). Однак найбільший ефект може бути отриманий при використанні в якості підсилювальної ланки ОУ.

На рисунку 9.8, а, б показані схеми RC-автогенераторів на ОУ, що фазує ланцюжками С-паралель і R-паралель. Оскільки частотно-виборчий RC-ланцюг включена між виходом і інвертується входом ОУ, загальний Фазовий зсув в замкнутій петлі дорівнює 360, що забезпечує виконання умови балансу фаз. У зв'язку з надмірністю коефіцієнта посилення ОУ умова балансу амплітуд забезпечується без утруднення. Великий вхідний і мале вихідний опору ОУ дозволяють здійснити режим практично ідеального узгодження фазує ланцюга з підсилювальним ланкою. При цьому частота генерації визначається виразами:

- для схеми рисунок 9.8, а:

$$f_r = \sqrt{6} / (2\pi RC)); \quad (9.18)$$

- для схеми рисунок 9.8, б:

$$f_r = (2\pi RC \sqrt{6}) \quad (9.19)$$

RC- автогенератори без повороту фази використовують як частотно-залежних елементів послідовно-паралельний RC- ланцюжок (міст Віна) (рисунок 9.9, а), квазірезонансного частота і коефіцієнт передачі якого визначаються виразами:

$$f_0 = \frac{1}{2\pi R \cdot C} \quad (9.20)$$

$$\beta_0 = \frac{1}{3} \quad (9.21)$$

Де $R = R_1 = R_2$, $C = C_1 = C_2$, а його АЧХ і ФЧХ наведені на рисунок 9.9, б, або подвійний Т-подібний міст (рисунок 9.9, в), АЧХ і ФЧХ якого наведені на рисунку 9.9, є.

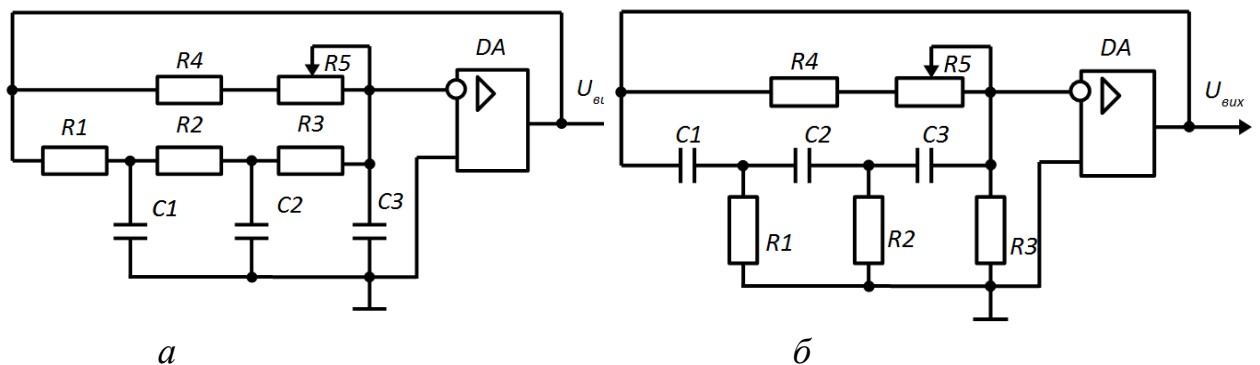


Рисунок 9.8 – схеми RC-автогенераторів: а) ланцюги С-паралель; б) ланцюги R-паралель

Квазірезонансного частота і коефіцієнт передачі подвійного Т-подібного моста визначаються виразами:

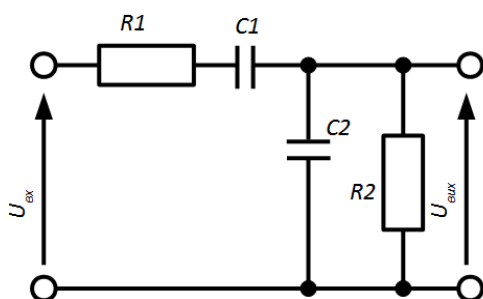
$$f_0 = \sqrt{n/(2\pi RC)}; \quad (9.22)$$

$$\beta_0 = (4 \cdot n - 1) / [4n + \frac{1}{2n} + 1]; \quad (9.23)$$

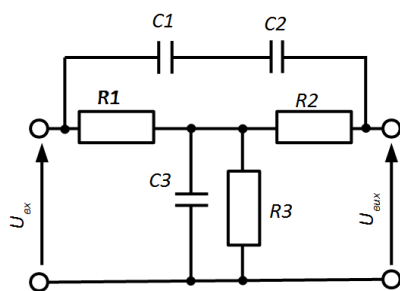
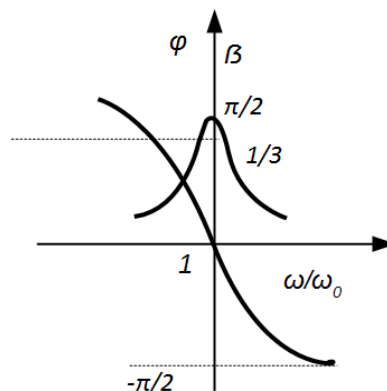
$$\text{де } R = R_1 = R_2, C = C_1 = C_2; \frac{2C}{C_3} = \frac{R}{2R_3} = n.$$

Залежно від вибору значення n змінюються співвідношення між елементами і якісні показники. При $n = 2C_1 = C_2 = C_3 = C, R_3 = 0,25R$;

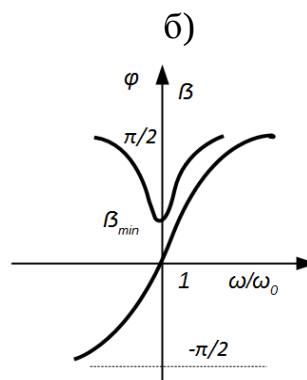
При $n = 0,5 C_3 = 4 C, R_1 = R_2 = R_3$.



а)



в)



г)

Рисунок 9.9 – RC- автогенератори без повороту фази: а) послідовно-паралельний RC- ланцюжок та частотні і (б) фазові характеристики; в) подвійний Т- подібний міст (в) та його частотні і фазові характеристики

На рисунку 9.10 наведені принципові схеми RC-автогенераторів на біполярних транзисторах. Включення емітерного повторювача на транзисторі VT3 виключає вплив вхідного опору схеми з ОЕ на параметри фазового ланцюга, а отже на f_0 і β_0 .

При відсутності емітерного повторювача через шунтування резистора R_2 вхідним опором $R_{вх}$ схеми з ОЕ на транзисторі VT1, яке невелика, частота квазірезонанса і значення коефіцієнта передачі визначаються виразами:

$$f_0 = f_r = 1 / (2\pi \sqrt{R_1(R_2 R_{вх}) / (R_2 + R_{вх}) C_1 C_2}); \quad (9.24)$$

$$\beta_0 = 1 / \{ 1 + R_1 \frac{R_2 R_{gx}}{R_2 + R_{gx}} + C_1 / C_2 \}; \quad (9.25)$$

З формул (9.24) і (9.25) випливає, що квазірезонансна частота збільшується, а коефіцієнт передачі напруги при цьому зменшується.

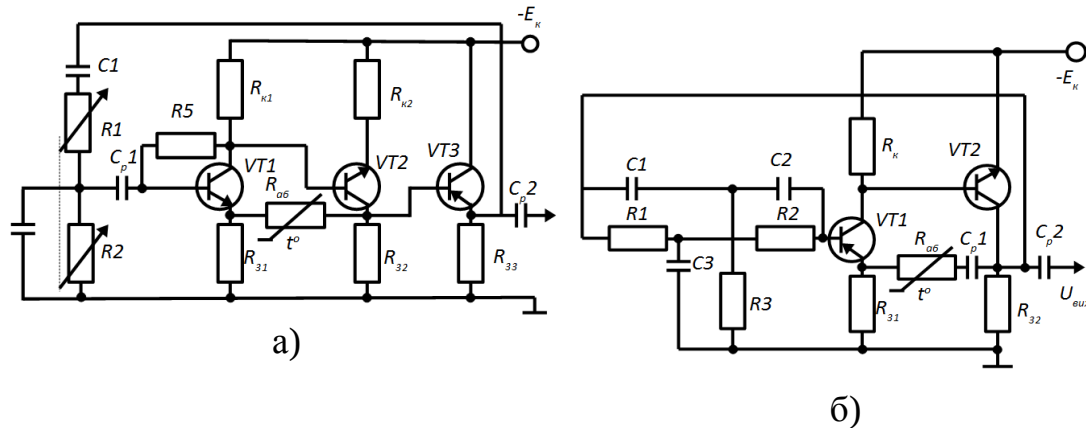


Рисунок 9.10 – принципові схеми RC- автогенераторів на біполярних транзисторах: а) виконаних з мостом Вина; б) виконаний подвійним Т-подібним мостом

У схемі (рисунок 9.10, б) з подвійним Т-подібним мостом ПОС не залежить від частоти і реалізується за допомогою елементів R_{E1} , R_{E2} , C_{p1} , R_{oc} . Так як транзистор VT1 з ОЕ зрушує фазу вхідного сигналу на 180° , то виборчі-вальний 2Т-міст утворює ланцюг ООС і загальний фазовий зсув по замкнутій петлі підсилювач -2Т-міст дорівнює 180° . При цьому на частоті квазірезонанса, f_0 негативний зв'язок відсутній, тобто $\varphi_\beta = 0$, $\varphi_\kappa = 0$, а $\beta_0 = \min$.

На Рисунок 9.11, а показана схема автогенератора на ОУ з мостом Віна, який підключений між виходом і неінвертуючим входом ОУ, цього загальний фазовий зсув по замкнутій петлі дорівнює нулю, що забезпечує умова балансу фаз. Частотно-незалежна здійснюється за допомогою двополярних діодних обмежувачів VD1, VD2, які зменшують значення опору R_3 при збільшенні амплітуди вихідного сигналу.

На рисунку 9.11, б, приведена схема генератора з 2Т-мостом, включеним між виходом і інвертується входом ОУ. На частоті квазірезонанса зрушення фаз 2Т-мостом дорівнює 0° .

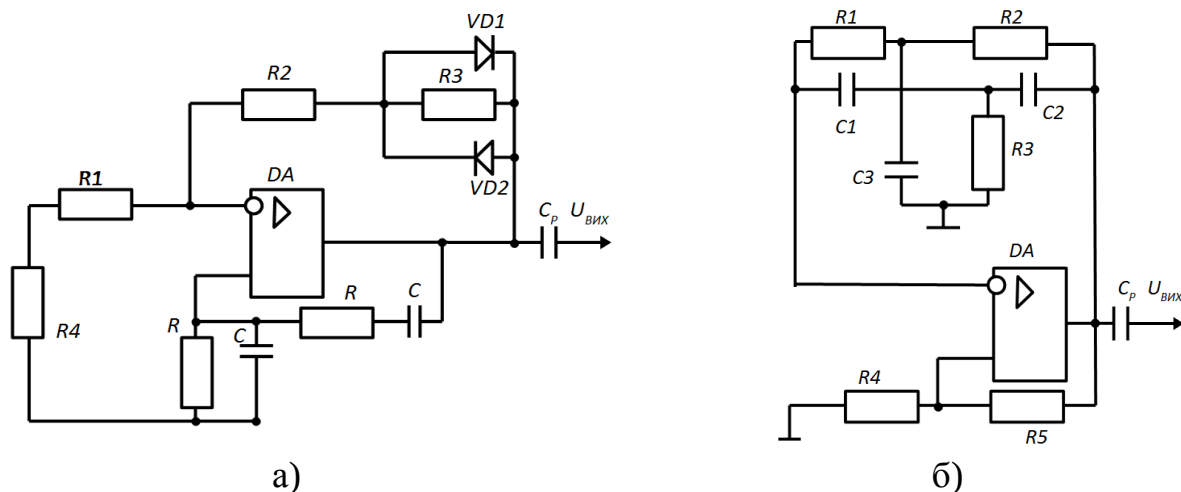


Рисунок 9.11 – показана схема автогенератора на ОУ: а) з мостом Віна; б) схема генератора з 2Т-мостом

Генератори прямокутних імпульсів з RC- зв'язками. Ці генератори знаходять найбільш широке застосування і можуть працювати в автоколевальних або режимі режимів. Вони можуть виконуватися на дискретних елементах, логічних інтегральних мікросхемах і операційних підсилювачах.

Найбільш поширена схема транзисторного автоколивного мултивібратора (МВ) приведена на рисунку 9.12, а. У цій схемі в кожному з квазіовитривалих станів один транзистор відкритий, а інший – закритий. При цьому конденсатор закритого плеча заряджається через емітерний перехід від-критого транзистора (допоміжний цикл), а конденсатор відкритого плеча заряджається через емітерний перехід плеча перезаряджається від вихідного напруги $\approx E_K$ к- E_K через відкритий транзистор і відповідний резистор R1 або R2.

Граничною напругою є напруга відмикання транзистора, що становить частки вольта, тому зазвичай приймають $U_{пор} \approx 0$. При досягненні напруга на конденсаторі (а значить, і на базі закритого транзистора) $U_{пор}$ схема

перемикається і починається новий цикл. На виходах $U_{\text{вих1}}$ і $U_{\text{вих2}}$ формуються прямокутні імпульси з протилежними фазами тривалістю, що визначаються за формулами:

$$t_{u1} = R_2 C_2 \ln(2E_K + I_{K0} (R_2 - R_{K2})) / (E_K + I_{K0} R_2) \quad (9.26)$$

$$t_{u2} = R_1 C_1 \ln(2E_K + I_{K0} (R_2 - R_{K1})) / (E_K + I_{K0} R_2) \quad (9.27)$$

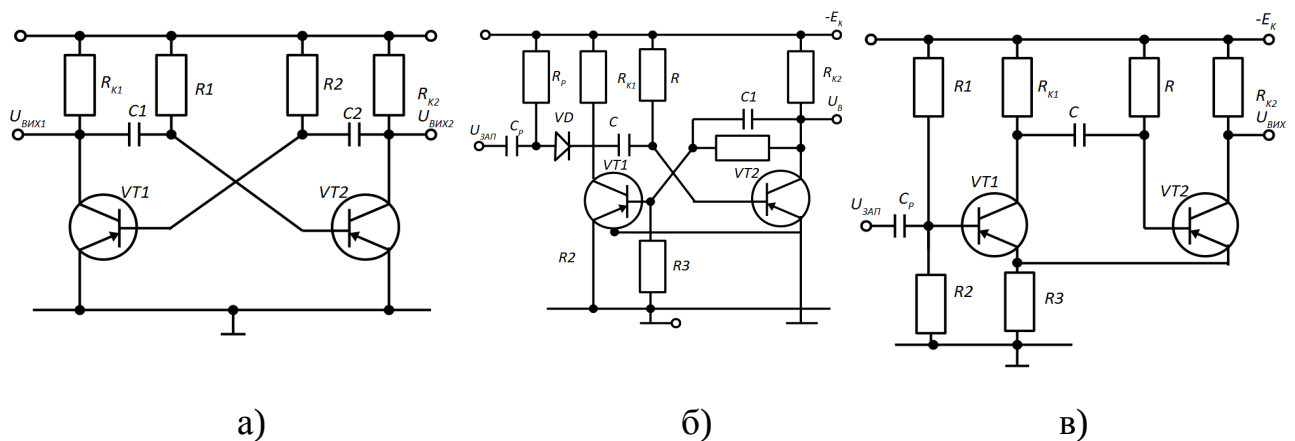


Рисунок 9.12 – Схема транзисторного автоколивного мультивібратора

Якщо виконується умова:

$$E_K > I_{K0} R_1, E_K \gg I_{K0} R_2, \quad (9.28)$$

Будемо мати:

$$t_{u1} \approx 0.7 R_2 C_2 \quad (9.29)$$

$$t_{u2} \approx 0.7 R_1 C_1 \quad (9.30)$$

Тривалість негативного фронту вихідного імпульсу при замикання транзистора через заряду конденсатора через колекторний опір дорівнює:

$$\bar{t}_{\phi1} \approx 3 R_{K1} C_1, \quad (9.31)$$

$$\bar{t}_{\phi2} \approx 3 R_{K2} C_2. \quad (9.32)$$

Тривалість позитивного фронту зазвичай приймають $t_{\phi}^{+} \approx 3\tau_{\alpha}$. Умова насичення відкритого транзистора:

$$R_{1,2} \leq \beta_{\min} R_{K1,2}, \quad (9.33)$$

а максимальна шпаруватість імпульсів:

$$Q_{\max} = \beta_{\min} / 3 + 1. \quad (9.34)$$

Розглянута схема може бути перетворена в режим генератор (одновібратор) (рисунок 9.13, б). Через позитивного зсуву від джерела.

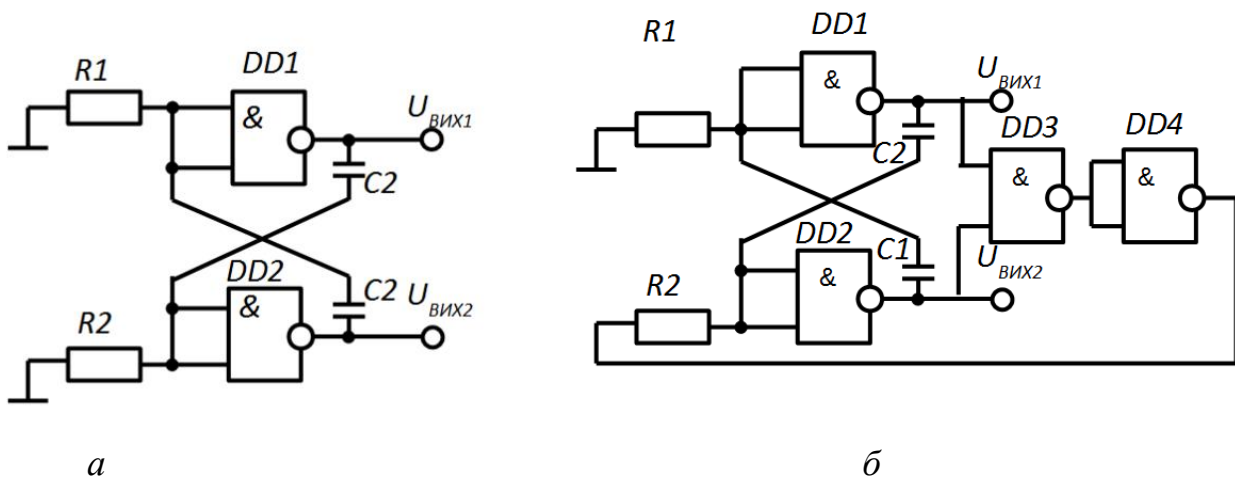


Рисунок 9.13 – Перетворена схема в режим генератор (одновібратор)

Емс через дільник $R1, R2$ на базу $VT1$ останній в режимі очікування замкнений (стійкий стан). При замиканні $VT2$ по ланцюгу ПОС відкривається $VT1$.

Основні параметри розраховуються аналогічно схемі МВ. Час відновлення в початковий стан становить $t_{\text{вос}} \approx 3R_{K1}C$. У схемі чекає генератора (рисунок 9.12, в) ПОС здійснюється через загальне емітерний опір R_E , а вихідна ланцюг не пов'язана з процесами перезарядження конденсатора, тому вона має меншу тривалість t_{ϕ} і меншу залежність процесів перемикання від навантаження.

Розрахунок вихідних параметрів імпульсів ведеться за формулами:

$$t_u \approx 0,7RC, \quad (9.35)$$

$$t_{\text{вос}} \approx (3 \dots 5) R_{K1} C. \quad (9.36)$$

Автоколивальний мултивібратор на логічних елементах І-НІ представлений на рисунку 9.13, а. Схема являє собою два підсилювача, охоплює-чинних перехресними ПОС через час задання RC – ланцюги. Стрибок напруження на виході, наприклад, першого логічного елемента (ЛЕ) DD1 через конденсатор передається на вхід другого ЛЕ DD2, встановлюючи на його виході нуль. При цьому конденсатор C1 розряджається до нуля, відновлюючи свій початковий стан, а C2 заряджається через резистор R2. При цьому квазостійкий стан схеми зберігається до тих пір, поки зменшується через заряду конденсатора C2 струм не призведе до зменшення напруги на вході DD2 до порогового значення. З цього моменту схема перемикається в інше квазістійкий стан.

Тривалість імпульсів на виходах схеми визначається рівняннями:

$$t_{u1} = (R_2 + R_{l_{\text{вих}}}) C_2 \ln \left(\frac{U_{\text{вих}}^1 - U_{\text{вих}}^0 + U_{R_2}}{U_{\text{пор}}} \right) \approx (R_2 + R_{l_{\text{вих}}}) C_2 \ln \left(\frac{U_{\text{вих}}^1}{U_{\text{пор}}} \right) \quad (9.37)$$

$$t_{u2} = (R_1 + R_{l_{\text{вих}}}) C_1 \ln \left(\frac{U_{\text{вих}}^1 - U_{\text{вих}}^0 + U_{R_1}}{U_{\text{пор}}} \right) \approx (R_1 + R_{l_{\text{вих}}}) C_1 \ln \left(\frac{U_{\text{вих}}^1}{U_{\text{пор}}} \right) \quad (9.38)$$

Де $U_{\text{вих}}^1$ та $U_{\text{вих}}^0$ – напруги логічної одиниці і логічного нуля; U_{R_2} и U_{R_1} - падіння напруги на резисторах R_1 і R_2 від протікання вхідного струму $I_{0\text{вх}}$ мікросхеми при низькому рівні вхідного сигналу; $R_{l_{\text{вих}}}$ - Вихідний опір мікросхеми при високому рівні вхідної напруги.

Для виключення «жорсткого» запуску мултивібратора, при якому обидва ЛЕ можуть мати низький рівень напруги на виході, в схему включаються елементи DD3 і DD4 (рисунк 9.13, б). При цьому якщо $u_{\text{вих}1} = u_{\text{вих}2} = U_{\text{вих}}$, на виході DD3 встановлюється 1, на виході DD4-0, який, передаючись на вхід DD2, встановлює на його виході $U_{\text{вих}}^1$, виключаючи тим самим початкове неробочий

стан. Подібно схемами на дискретних елементах автоколивальний МВ на ЛЕ може бути перетворений в схему чекаючого МВ (рисунок 9.14, а).

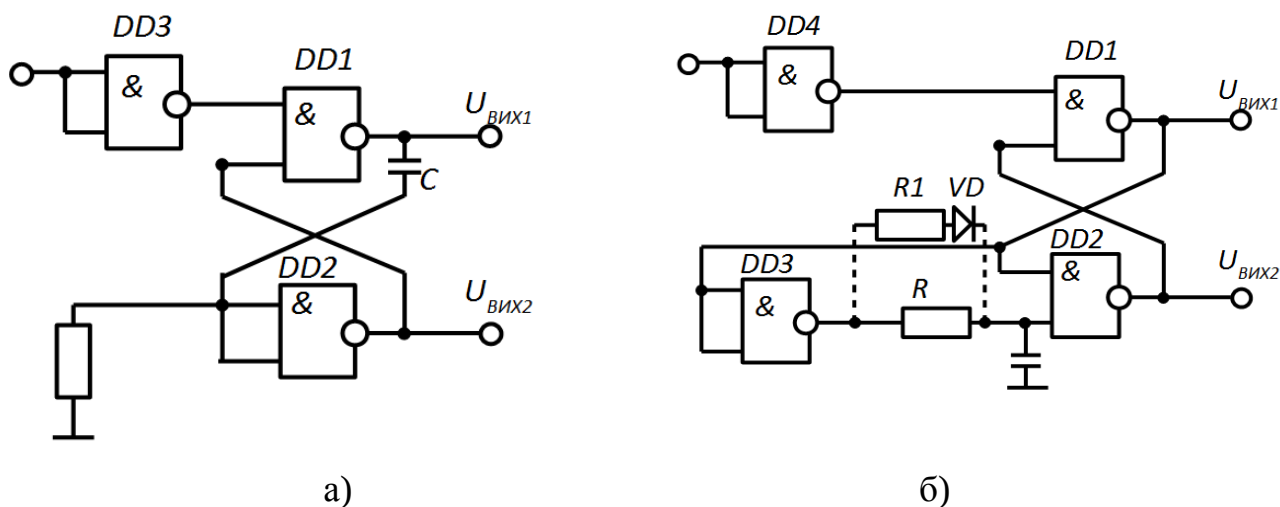


Рисунок 9.14 – Схеми мультивібратора: а) чекаючого мультивібратора; б) схеми чекаючого мультивібратора з елементами затримки

У цій схемі при $u_{зан} = 0$, $u_{вих} = U_{вих}^0$, $u_{вих} = U_{вих}^1$, конденсатор практично розряджений. При надходженні короткого імпульсу, що запускає елементи DD3 і DD1 перемикаються, $u_{вих} = U_{вих}^1$. Це напруга через конденсатор C передається на вхід DD2, також перемикаючи його. Цей стан зберігається до тих пір, поки падіння напруги на вході DD2 від струму заряду конденсатора не знизиться до $U_{пор}$. Після цього схема повертається в початковий стан, яке встановлюється після розряду конденсатора. Тривалість вихідного імпульсу при $R \gg R_{вих}$,

$$t_u \approx RC \ln((U_{вих}^1 - U_{вих}^0 + U_R)/U_{пор}) \approx RC \ln((U_{вих}^1/U_{пор})) \quad (9.39)$$

де $U_R = I_{вих}^0$.

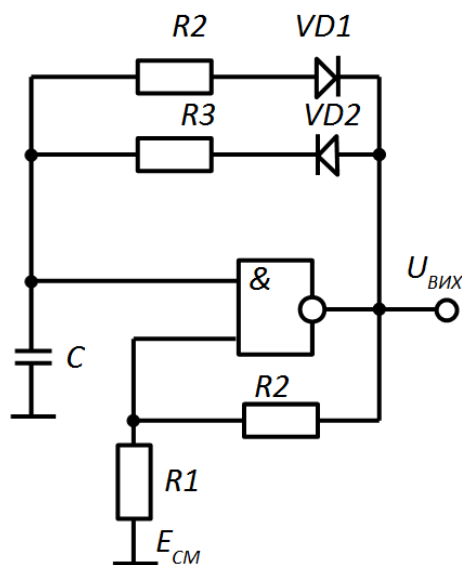
Більш стабільно працюють схеми чекаючого МВ з елементами затримки винесеними з ланцюга ПОС (рисунок 9.14, б). У початковому стані на виході елемента DD2 - логічна одиниця, так як на його вході діють взаємоінверсне сигнали, на виході DD1 - логічний нуль, так як на його вхід дві одиниці. Конденсатор З заряджений до напруги $U_{вих}^1$. З приводом короткого позитивного імпульсу, що запускає перекидається елемент DD4, потім елементи DD1, DD3 і DD2. На виході елемента DD3 встановлюється логічний нуль, який після

закінчення імпульсу, що запускає підтримує схему в квазівирівноважній стані. Конденсатор С розряджається через резистор R і вихід відкритого елемента DD3. Коли напруга на ньому зменшиться до порогової напруги DD2, схема повертається в початковий стан, що характеризується відновленням напруги на конденсаторі С.

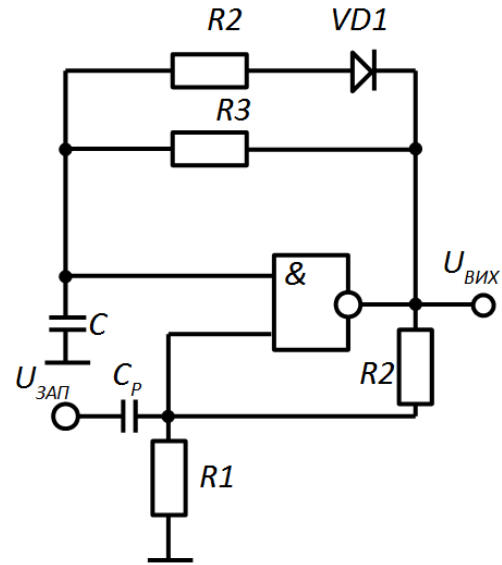
Тривалість вихідного імпульсу визначається наближеною формою:

$$t_u \approx (R + R_{вих}^0) C \ln\left(\frac{U_{вих}^1}{U_{пор}}\right) \quad (9.40)$$

Схема автоколебального МВ на ОУ представлена на рисунку 9.15, а. Схема стрибком переходить з одного квазівирівноважного стану в інше при напрузі на конденсаторі С.



а)



б)

Рисунок 9.15 – Схема автоколебного мультивібратора: а) на ОУ б) побудови на ОУ чекаючого мультивібратора

$$u_C = u_{вих} \frac{R_1}{R_3 + R_2} u_{вих} \quad (9.41)$$

Напруга $u_{\text{вих}}$ змінює свій знак при перемиканні схеми, приймаючи значення $U_{\text{вих max}}^+$ або $U_{\text{вих max}}^-$ і формуючи тим самим нове значення порога схеми.

Тривалість квазістійких станів для позитивного і негативного вихідних імпульсів:

$$t_H^+ = t_H^- \approx R_3 C \ln \left(1 + \frac{2R_1}{R_2} \right); \quad (9.42)$$

Для зміни частоти і шпаруватості вихідних імпульсів можна подати в точку а напруга Е або ввести асиметрію під час заданого ланцюг (показано штрихами). Аналогічний принцип може бути використаний і для побудови на ОУ чекаючого МВ (рисунок 9.15, б). У режимі очікування $u_{\text{вих}} = U_{\text{вих max}}^-$ діод VD1 відкритий і шунтирує конденсатор С. Напруга на неінвертуючому вході визначається дільником на резисторах R1, R2: $U_{\text{CM1}} = \frac{U_{\text{вих max}}}{R_3 + R_2} R_1 = U_{\text{вих max}} \gamma$

При подачі на вхід позитивного імпульсу вихідна напруга ОП інвертується, приймаючи значення $U_{\text{вих max}}^+$, діод VD1 закривається і починається заряд конденсатора С через резистор R до напруги $U_{\text{вих max}}^+$. Це продовжується до тих пір, поки напруга на ньому не досягне напруги на неінвертуючому вході, рівного $U_{\text{сб2}} = \gamma U_{\text{вих max}}^+$.

Після цього схема повертається в початковий стан, обумовлений перезарядом конденсатора від напруги $U_{\text{сб2}}$ до 0.

Тривалість вихідного імпульсу визначається рівнянням (9.42),

$$t_{\text{HOC}} = R_3 C \ln \left(1 + \frac{2R_1}{R_1 + R_2} \right); \quad (9.43)$$

Блокінг-генератори. У цьому типі генераторів прямокутних імпульсів ПОС здійснюється за допомогою імпульсного трансформатора, що зв'язує вихідну і вхідну ланцюга транзистора. Основна схема блокінг-генератора (БГ) в автоколивальних режимі представлена на рисунку 9.16.

Параметри імпульсів, що генеруються цією схемою, визначаються наступними співвідношеннями.

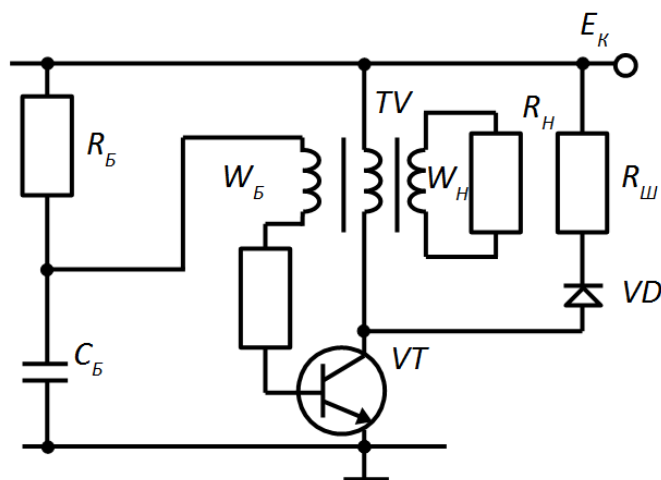


Рисунок 9.16 – Основна схема блокинг-генератора

Тривалість фронтів вихідного імпульсу:

$$t_{\phi} \approx 2,3 * n_B [\tau_{\alpha} (1 + \left(\frac{R'_{ex}}{R_n}\right) + R'_{ex} C)] \quad (9.44)$$

де, $n_B = \omega_B / \omega_K$ - коефіцієнт трансформації; ω_B, ω_K - число витків базової і колекторної обмоток; $R'_n = \frac{R_n}{n_B^2}$, $R'_{ex} = \frac{R_{ex}}{n_B^2}$ - Опір навантаження і вхідний опір транзистора, наведені до колекторної ланцюга; СК-ємність колекторного переходу.

Тривалість вершини залежить від співвідношення між постійними часу τ_{β} транзистора і вхідного ланцюга $\tau_{ex} \approx (R_{ex} + R_{\theta})C_B$, де $R_{ex,н}$ - вхідний опір транзистора в режимі насичення.

Якщо $\tau_{ex} \ll \tau_{\beta}$, то

$$t_i \approx \frac{1 - \tau_{\beta} / (n_B \beta C_B R_H)}{1 / \tau_{\beta} + \tau_{\beta} / (n_B L_{\mu} C_B)}, \quad (9.45)$$

де, L_{μ} — індуктивність намагнічування.

Тривалість паузи:

$$t_n = C_R \ln(1 + (U_{C\text{бmax}} / (E_K + I_{K0} R))); \quad (9.46)$$

де, $U_{C\text{бmax}}$ - максимальне напруження на конденсаторі на початку паузи.

Генератори пилкоподібної напруги (ДПН). Цей тип генераторів становить особливий клас імпульсних генераторів, в яких підсилювальні елементи для стабілізації струму заряду конденсатора, що забезпечує лінійність наростання напруги на конденсаторі часозадаючого ланцюга, працюють в активному (усилююму) режимі, а стан відсічення або насичення характерно для стадії відновлення напруги вихідного стану конденсатора. Схема ДПН з параметричним токостабілізуючим елементом на транзисторі VT2 приведена на рисунку 9.17, а.

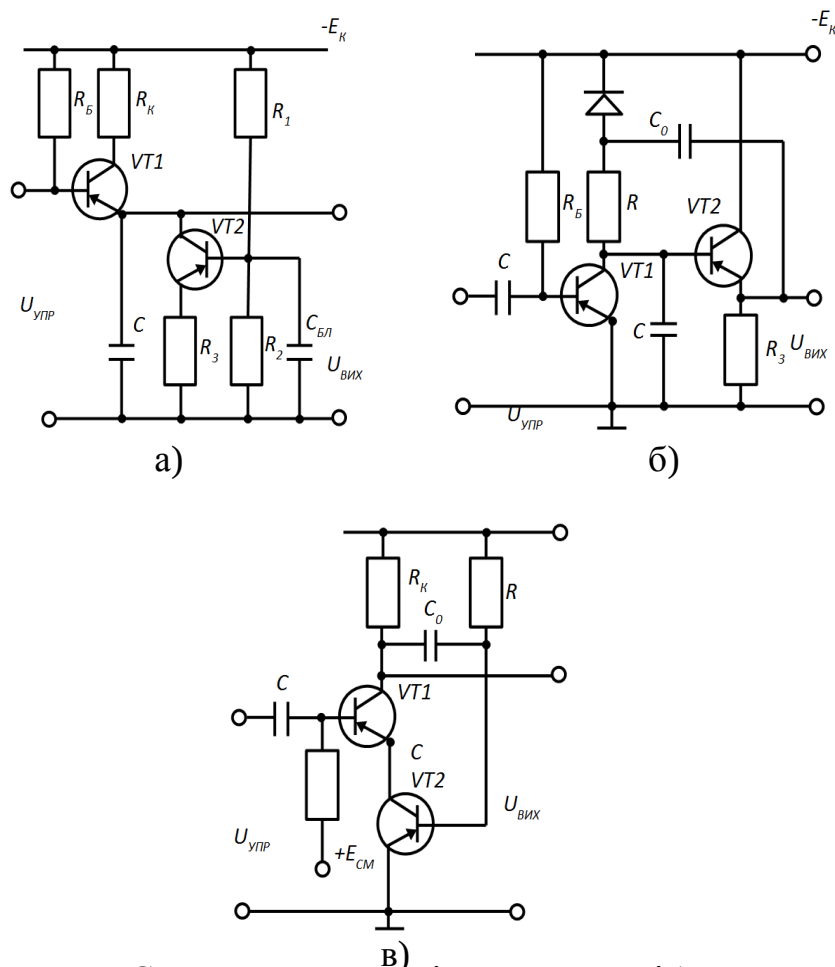


Рисунок 9.17 – Схеми генераторів пилкоподібної напруги: а) з токостабілізуючим елементом на транзисторі; б) схема з ПОС; в) де транзистор VT2 - токостабілізуючий, а VT1 - ключовий

Транзистор VT1 призначений для відновлення напруги на конденсаторі С після його лінійного розряду через транзистор VT2.

Коефіцієнт не лінійності схеми:

$$\varepsilon = (U_{max} R_{\vartheta} / U_{B2}) * \left(\frac{1}{R_{вихB2}} \right) + \frac{1}{R_{\pi}} \quad (9.47)$$

де $U_{max} \approx U_{B2} t_u / (R_{\vartheta} C)$ - амплітуда вихідної напруги; $R_{вихB2} \approx 1/h_{22B}$ - вихідний опір транзистора VT2, включеного за схемою із загальною базою.

Тривалість вихідного імпульсу t_p визначається тривалістю вхідного, а час відновлення $t_{вос} = 3CR_K$.

Схема ДПН з ПОС представлена на рисунку 9.17, б. Коефіцієнт нелінійності в ній дорівнює:

$$\varepsilon = U_{max} / E_K [(1-k_U) + (\frac{C}{C_0}) + (R/R_{ex})] \quad (9.48)$$

де $k_U = \beta R_{\vartheta} / (h_{11\vartheta} + \beta R_{\vartheta})$ - коефіцієнт посилення по напрузі емітерного повторювача; $R_{ex} \approx \beta R_{\vartheta}$ - вхідний опір емітерного повторювача.

Час відновлення вихідного стану:

$$t_{вос} \approx (U_{max} C R_E) / (\beta E_K) + 3C_0 R_0 \quad (9.49)$$

Схема ДПН з ООС представлена на рисунку 9.17, в, де транзистор VT2 - токостабілізує, а VT1 - ключовий.

Коефіцієнт нелінійності цієї схеми:

$$\varepsilon \approx (U_{max} / E_K) (R / \beta E_K), \quad (9.50)$$

а час відновлення $t_{\text{вос}} = 3CR_{K1}$. Великий ефект від підвищення якості роботи ДПН дає застосування однокаскадного підсилювача (рисунку 9.18). Найбільш проста схема ДПН з ООС (рисунку 9.18, б).

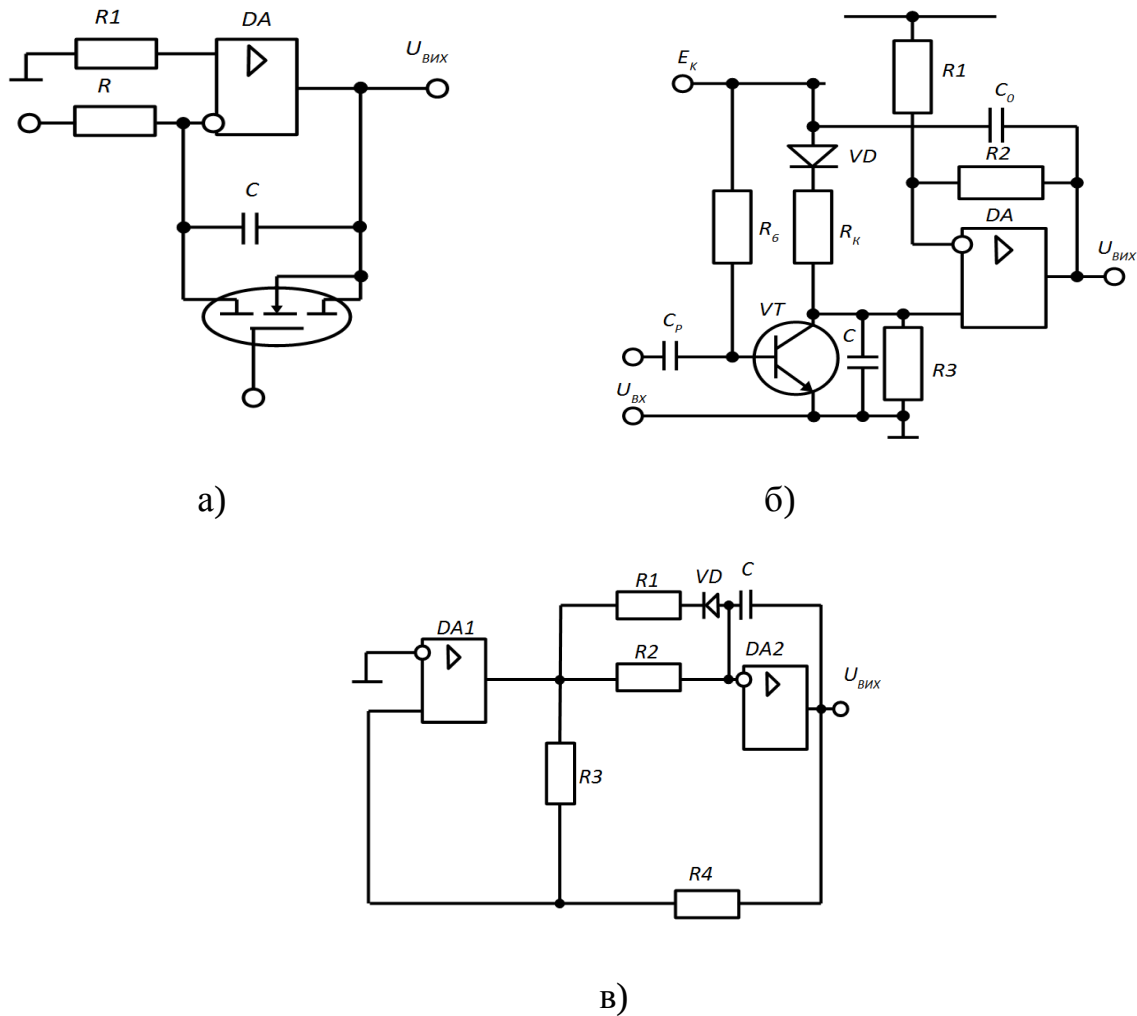


Рисунок 9.18 – Застосування однокаскадного підсилювача для підвищення якості роботи генераторів пилкоподібної напруги: а) найбільш проста схема генератора пилкоподібної напруги з ООС; б) однокаскадний підсилювач замінює емітерний повторювач; в) схема автоколивального генераторів пилкоподібної напруги з ООС

Її коефіцієнт не лінійності:

$$\varepsilon \approx t_{\text{ух}} / K_{\text{ОУ}} RC , \quad (9.51)$$

а максимальна амплітуда вихідної напруги:

$$U_{max} = - \left(\frac{U_{выхmax}}{RC} \right) t_{u_{ex}} \quad (9.52)$$

У схемі (рисунок 9.18, б) однокаскадний підсилювач замінює емітерний повторювач на рисунку 9.17, б.

Ставлячи коефіцієнт посилення K_{oy} за допомогою резисторів R_1 і R_2 , можна отримати коефіцієнт не лінійності, близький до нуля, якщо дотримується співвідношення:

$$R_2 / R_1 = C / C_0 + R / R_{exOY} \quad (9.53)$$

Значення мінімального є визначається розкидом номіналів резисторів R_1 і R_2 і вхідного опору $R_{ex OY}$. Максимальна і мінімальна амплітуди вихідної напруги.

$$U_{max} = \left(\frac{E_K}{R} - R_K C \right) \quad (9.54)$$

$$U_{min} = - \left(\frac{E_{CM}}{R_2} \right) R_1. \quad (9.55)$$

Час відновлення пилоподібної напруги:

$$t_{вос} \approx t_u / \left(\left(\frac{R_K \beta}{R_5} \right) - 1 \right), \quad (9.56)$$

Схема автоколивального ДПН з ООС наведена на рисунку 9.18, в. У ній ОУ DA1 працює як компаратор, а ОУ DA2 – як токостабілізуючий елемент, подібний схемою (рисунок 9.18, а).

Максимальна амплітуда вихідного сигналу в цій схемі:

$$U_{max} = \left(\frac{2U_{выхmax}}{R_3} \right) R_4, \quad (6.51)$$

тривалість робочого ходу:

$$t_p = 2R_2 C(R_4 / (R_3 + R_4)) ; \quad (6.52)$$

тривалість відновлення:

$$t_{\text{вос}} = 2(R_1 R_2 / (R_1 + R_2)) C (R_4 / (R_3 + R_4)); \quad (6.53)$$

Завдання до розділу 9

Завдання 9.1. Дано LC-автогенератор гармонійних коливань, побудований на біполярному транзисторі за схемою, зазначеної в табл. 9.1. виконати:

1. Побудова схеми генератора.
2. Вибрати напруга джерела живлення, розрахувати елементи зміщення.
3. Розрахувати елементи резонансного контуру і опору обмотки котушки індуктивності.
4. З умов самозбудження визначити величини елементів зворотного зв'язку.
5. Визначити амплітуду стаціонарних коливань.
6. Розрахунок одно контурного LC-автогенератора складається з розрахунку режиму роботи транзистора і розрахунку контуру. У більшості випадків розраховується критичний режим роботи генератора, який характеризується найбільшою корисною потужністю при високому к.к.д.

Кут відсічення колекторного струму в критичному режимі складає $\theta = 90^\circ$.

Таблиця 9.1 – Варіанти завдань

Номер варіанту	Тип схеми генератора	Частота f_{Γ}		$P_{\text{вих}}$ (Вт)
		а (кГц)	б (МГц)	
1	індуктивна трьох точки	200	1	0,15
2	ємнісна трьох точки	400	2	0,13
3	3 трансформаторної ОС	300	3	0,5
4	індуктивна трьох точки	500	4	0,14
5	ємнісна трьох точки	700	5	0,17
6	3 трансформаторної ОС	800	1	0,3
7	індуктивна трьох точки	600	2	0,17
8	ємнісна трьох точки	550	3	0,14
9	3 трансформаторної ОС	600	4	0,2
10	індуктивна трьох точки	800	5	0,17

Методика виконання завдання

1. Тип транзистора вибирається з умови, що при заданому значенні $P_{\text{вих}}$ потужність РК, яку повинен віддати транзистор в контур, становить $P_K = P_{\text{вих}} / \eta_K$, де $\eta_K = 0,5 \dots 0,8$ - ККД . контуру (при підвищених вимогах до стабільності частоти к.к.д. контуру вибирають в межах 0,1 ... 0,2), при цьому у обраного Транзистора $P_{K\text{max}} \geq P_K$; $t_{\text{max}} > f_r$.

2. Коефіцієнт використання колекторної напруги відбирають зі співвідношенням $\xi = 1 - 2P_K / (E_K^2 s_K \alpha_{1K})$, де $s_K = \Delta I_K / \Delta U_{KЭ}$ - крутизна лінії критичного режиму (рисунк 9.19, а) обраного транзистора; α_{1K}, α_{0K} коефіцієнти розкладання імпульсу колекторного струму для θ (рисунк 9.19, б); $E_K = 6 \dots 12$ В-напруга джерела живлення ланцюга колектора.

3. Основні електричні параметри режиму: амплітуда змінної напруги на контурі $U_{mK} = \xi E_K$; амплітуда першої гармоніки колекторного струму $I_{K1m} = \frac{2P_K}{U_{mK}}$; постійна складова колекторного струму

$$I_{K0} = \alpha_{0K} \frac{\alpha_{1K}}{\alpha_{1K}} \text{ максимальне значення імпульсу струму колектора}$$

$I_{Kmax} = \frac{I_{K1m}}{\alpha_{1K}}$ потужність, що витрачається джерелом живлення в ланцюзі

колектору, $P_0 = I_{K0} E_K$; потужність, що розсіюється на колекторі,

$P_{Kpac} = P_0 - P_K < P_{Kmax}$; еквівалентну резонансне опір контуру в ланцюзі колектора $R_{pez} = E_{mK} / I_{K1m}$; коефіцієнт передачі струму в схемі з ПРО на робочій частоті $h_{21B}(f_r) = h_{21B} / \sqrt{1 + (\frac{f_r}{f_{h21B}})^2}$, де h_{21B} - коефіцієнт передачі струму на низькій частоті; f_{h21B} гранична частота коефіцієнта передачі ГЗК біполярного транзистора обраного типу;

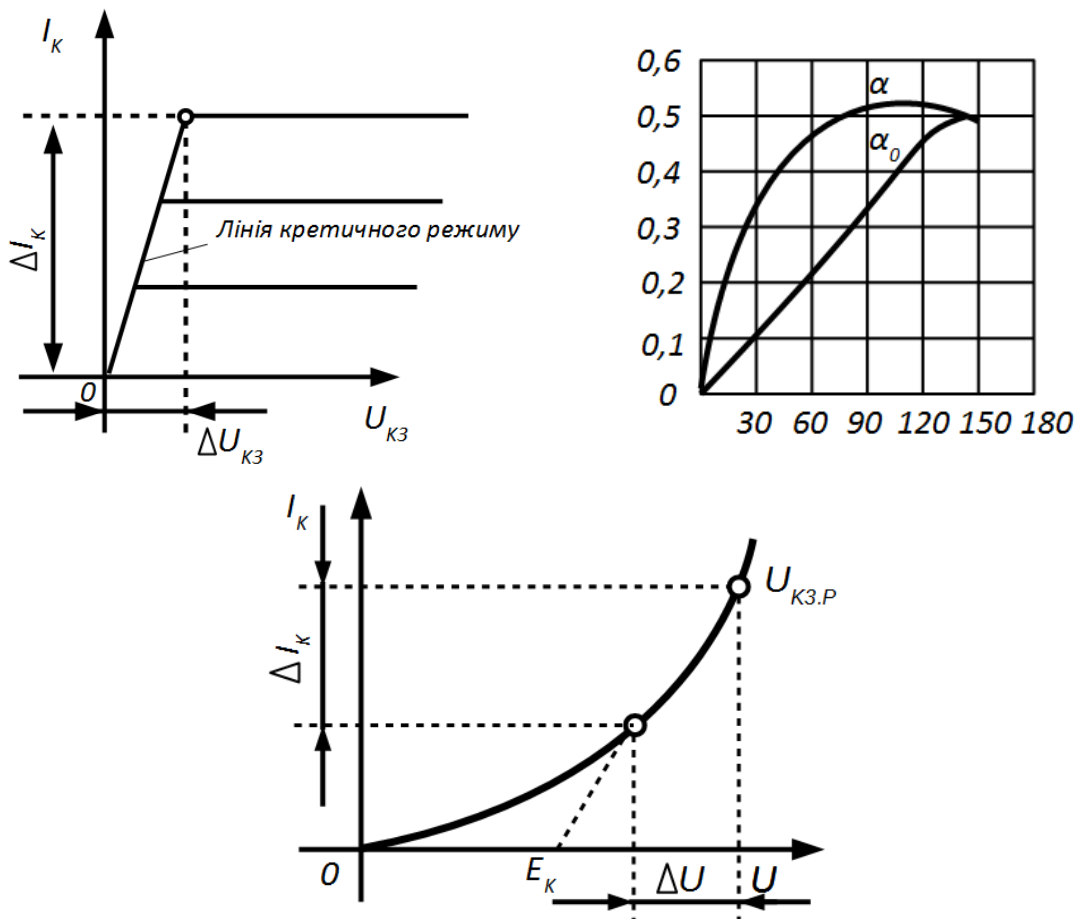


Рисунок 9.19 – Графіки для вибору коефіцієнт використання колекторної напруги

$h_{21B} = h_{21E} / (1 + h_{21E})$, де h_{21E} - коефіцієнт передачі струму біполярного транзистора в режимі малого сигналу в схемі з ОЕ; амплітуда першої гармоніки

струму емітера $I_{\text{Э1м}} = I_{\text{К1м}} / h_{21\text{Б}}(f)$; амплітуда імпульсу струму емітера $I_{\text{Э1м max}} = I_{\text{Э1м}} \alpha_{1\text{Э}}$, де $\alpha_{1\text{Э}}$, $\alpha_{0\text{Э}}$ - коефіцієнти розкладання імпульсу емітерного струму для кута відсічення $\theta_{\text{Э}}$ струму емітера (рисунок 6.17, б) визначається за формулою $\theta_{\text{Э}} = 90^\circ - f_r / f_{h21\text{Б}}$.

4. Амплітудне значення напруги збудження на базі транзистора, необхідне для забезпечення імпульсу струму емітера

$I_{\text{Э.и max}}$, визначають за формулою:

$$U_{\text{БЭм}} = I_{\text{Э1м max}} / [(1 - \cos \theta_{\text{Э}}) s_0]$$

де $s_0 = \Delta I_{\text{К}} / \Delta U_{\text{БЭ}}$ при $U_{\text{КЭ}} = \text{const}$ - крутизна характеристики струму-колектора (Рисунок 9.17, в).

5. Напруга зсуву на базі, що забезпечує кут відсічення струму емітера, визначається за формулою

$$U_{\text{БЭсм}} = E_c + U_{\text{БЭм}}^1 \cos \theta_{\text{Э}}$$

де $E_c = \pm 0,1 \dots 0,3$ В - напруга зрізу, яке визначається за випрямленими характеристиками $I_{\text{К}} = f(U_{\text{БЭ}})$ при $U_{\text{КЭ}} = \text{const}$ (Рисунок 9.17, в), знак при E_c визначається типом біполярного транзистора (плюс для п-р-п, мінус для р-п-р).

6. Для виконання умови балансу амплітуд необхідно щоб коефіцієнт зворотного зв'язку

$$K_{\text{св}} = \frac{U_{\text{БЭм}}}{U_{\text{мк}}} \geq K_{\text{св min}} = 1 / (s_0 R_{\text{рез}}).$$

7. Опір резисторів R1 і R2 (Рисунок 9.5, а, 9.5, в) визначається за формулами:

$$R_2 = \frac{U_{\text{БЭсм}}}{I_0}; \quad R_1 = \frac{E_{\text{К}} - U_{\text{БЭсм}}}{I_0},$$

де $I_0 \approx 5 I_{\text{Б0}} = \frac{5 I_{\text{К0}}}{h_{21\text{Э}}}$ - струм дільника; $I_{\text{Б0}}$ - постійна складова струму бази транзистора. Потужність, що розсіюється на резисторах R1 і R2, відповідно дорівнює $P_{\text{R1}} = I_0^2 R_1$; $P_{\text{R2}} = I_0^2 R_2$. Для схеми Рисунок 9.6, г опір резистора $B = \frac{U_{\text{БЭм}}}{I_{\text{Б0}}} = U_{\text{БЭ}} h_{21\text{Э}} / I_{\text{К0}}$.

8. Індуктивність дроселя $L_{др}$ в ланцюзі бази транзистора (Рисунок 6.2, г) визначається з виразу $L_{др} = 36 \cdot 10^{-2} / (C_{BE} f_2 \Gamma)$, де C_{BE} - ємність емітерного переходу транзистора.

9. Ємність розділового C_p і блокувального C_ϕ конденсаторів $C_p = 10 \dots 20 \cdot C_{BE}; C_\phi = 15 \frac{103}{f_r}$.

10. Елементи ланцюжка термокомпенсації (Рисунок 9.5, б) $R_3 \approx \frac{U_3}{I_{30}}; C_3 \geq (5 \dots 30) 10^3 / (f_r R_3)$, де $U_3 \approx (0,7 \dots 1,5)$ В - падіння напруги на резисторі R_3 ; I_{30} - постійний струм емітера ($I_{30} \approx I_{K0}$); C_3 виражається в мікрофарадах, якщо f_r в мегагерцах, а R_3 в кілоомах.

11. Добротність навантаженого коливального контуру під-зчитується за формулою $Q' = Q (1 - \eta_k)$ де Q - добротність ненагруженого контуру; $Q = 80 \dots 120$ при $f_r = 0,3 \dots 3$ МГц; $Q = 100 \dots 140$ при $f_r = 3 \dots 6$ МГц; $Q = 150 \dots 200$ при $f_r = 6 \dots 15$ МГц; $Q = 200 \dots 300$ при $f_r = 15 \dots 30$ МГц; $Q = 200 \dots 300$ при $f_r \geq 30$ МГц.

12. Мінімальна загальна ємність контуру

$$C_{Kmin} \approx (1 \dots 2) \lambda_p (n \Phi),$$

де $\lambda_p = c/f$ - робоча довжина хвилі коливань; c - швидкість світла. У загальну ємність входять ємність конденсатора C_K і вносяться (паразитні) ємності: вихідна ємність транзистора, ємність котушки контуру, ємність монтажу і ін. Величина становить десятки пікофарад.

Ємність конденсатора контуру $C_K \approx C_{Kmin} - C_{вн}$. Ця формула дає орієнтовне значення ємності C_K , яке потім уточняється в процесі настройки.

13. Індуктивність контуру $L_k = 0,282 \frac{\lambda_p^2}{C} I_{kmin}^2 k \ln n$, де L_k - в мікрогенрі; $C I_{kmin}^2$ - в пікофарад; λ_p - в метрах.

14. Хвильовий опір Z_c і опір втрат R_n п контуру $Z_c = 10^3 \sqrt{\frac{L_k}{C_{kmin}}}$, де Z_c - в Омасі; L_k - в мікрогенрі; C_{kmin} - в пікофарад; $R_n = Z_c / Q'$.

15. Опір, що вноситься в контур, $R_{вн} = R_k \eta_k / (1 - \eta_k)$.

16. Опір контуру $R_k = R_n + R_{вн}$.

Примітка. При розрахунку LC- автогенератора за схемою Рисунок 9.6, а необхідно визначити параметри трансформатора TV ($r_1, r_2, n, r_{oc}, L_k, L_n, L_{oc}, n_{oc}$): $r_1 = R_k(1 - \eta_{TV})/2$ - опір первинної обмотки; η_{TV} - к.п.д. трансформатора, що залежить від потужності трансформатора (при $P_{TV} < 1 \text{ Вт}$ $\eta_{TV} = 0,7 \dots 0,82$; $P_{TV} = 1 \dots 10 \text{ Вт}$, $\eta_{TV} = 0,8 \dots 0,9$; $P_{TV} = 10 \dots 100 \text{ Вт}$, $\eta_{TV} = 0,9 \dots 0,94$; $P_{TV} > 100 \text{ Вт}$, $\eta_{TV} = 0,96 \dots 0,98$); $n \approx U_{вих} \sqrt{2} / U_{mK}$ η - коефіцієнт трансформації; вважаючи $M = K_u L_k$, знаходимо r_2 з виразу

$$R_k = r_1 + \omega_{\Gamma}^2 M^2 (r_2 + R_n),$$

де K_u - коефіцієнт зв'язку між обмотками трансформатора: $K_u = 0,5 \dots 0,9$ при сильній зв'язку; $K_u = 0,01 \dots 0,5$ при слабкій зв'язку. $C_n = 1/(\omega_{\Gamma}^2 L_n)$, де $L_n = n^2 L_k$,

$$n_{oc} \approx \frac{U_{вих}}{U_{mK}}; L_{oc} = n_{oc}^2 L_k; M_{oc} = K_{uoc} M.$$

17. Амплітуда коливального струму в загрузочному контурі визначається виразом $I_{mн.к} = \sqrt{(2 P_k / R_k)}$.

18. Визначаємо індуктивність L_2 (ємність конденсатора C_2) зв'язку контуру з базою транзистора

$$L_2 = K_{св} L_k, C_2 = C_K(1 + 1/K_{св}).$$

19. Знаходимо індуктивність (ємність) зв'язку контуру з базою транзистора $L_1 = L_k - L_2$; $C_1 = C_K(1 + K_{св})$

20. Ємність конденсатора C_2 (Рисунок 6.1, а) вибираємо з умови, щоб на частоті генерації його опір становило 0,05 від R_2 :

$$C_2 = 20/(\omega_{\Gamma} R_2)$$

21. Для схеми Рисунок 6.1, а перевіряємо умова амплітуди

$$\beta \geq \frac{h_{11e} R_k C_k + M_{oc}}{M_{oc} L_k}$$

Завдання 9.2. Дан RC- автогенератор гармонійних коливань, побудований на операційному підсилювачі К140УД7 за схемою, зазначеної в табл. 9.2.

Використовуючи довідкові дані підсилювача K , $U_{вих}^+$, $U_{вих}$, $R_{вх}$, $R_{вих}$ і дані таблиця 9.2, необхідно:

1. Побудувати схему генератора.

2. Розрахувати елементи схеми генератора.

Таблиця 9.2 – Варіанти завдань

Номер варіанта	Тип генератора	Частота f_{Γ}		$U_{\text{вих}}(\text{В})$
		а(кГц)	б(кГц)	
1	3 фазозрухуючим RC-ланцюгом	0,1	0,2	2
2	3 фазозрухуючим RC-ланцюгом	0,4	0,6	4
3	3 мостом Вина	0,8	1,0	6
4	3 подвійним Г-мостом	1,2	1,5	8
5	3 фазозрухуючим RC-ланцюгом	2,0	2,5	3
6	3 фазозрухуючим RC-ланцюгом	3,0	4,0	5
7	С мостом Вина	5,0	7,0	7
8	3 подвійним Г-мостом	8,0	10,0	4
9	3 фазозрухуючим RC-ланцюгом	10	15	6
10	С мостом Вина	20	30	5

Приклад виконання завдання

Розрахунок RC- автогенераторів на ОУ з фазокрутящими ланцюжками. Операційні підсилювачі дозволяють порівняно просто будувати RC- автогенератори з фазокрутящими ланцюжками або мостового типу.

1. При розрахунку RC- автогенераторів з фазокрутящими ланцюгами приймають: $R_1 = R_2 = R_3 = R$; $C_1 = C_2 = C_3 = C$ (Рисунок 6.4, а, б).

2. Для отримання високої стабільності частоти і зменшення впливу паразитних ємностей підсилювача і монтажу приймаємо $C > (200 \dots 300) \text{ пФ}$.

3. В залежності від виду фазокрутящого ланцюжка опір резистора R:

$R = 1/(2\pi f_r \sqrt{6C})$ - для триланкової ланцюжка R-паралель;

$K = \sqrt[3]{6/(2\pi f_r C)}$ - для триланкової ланцюжка С-паралель.

4. Коефіцієнт негативного зворотного зв'язку визначають з умови самозбудження генератора

$$\beta \approx 1/[(1,6 \dots 2)K_{yUkr}]$$

де $K_{yUkr} \geq 18.4$ для генератора з триланковим ланцюжком.

5. Загальний опір в ланцюзі негативного зворотного зв'язку

$$R_{oc} = R(1-\beta) / \beta.$$

6. Приймаємо $R_5 = \frac{(0,1 \dots 0,3)}{R_{oc}}$ і обчислюємо величину опору

потенціометра R_5

$$R_5 = R_{oc} - R_4$$

За допомогою резисторів R_4 , R_5 регулюється коефіцієнт передачі ОУ, що забезпечує стійке самозбудження з певною амплітудою і формою вихідного сигналу. Розрахунок RC-автогенераторів з мостовими, схемами. Розрахунок схеми рисунок 9.11, а.

1. Опір резистора R і ємність конденсатора C :
 $R_1 = R_2 = R$; $C_1 = C_2 = C$; $C > 500 \text{ нФ}$; $R = 0,159/(C/f_r)$. Якщо отримуємо $R > 50 \text{ кОм}$, то вибираємо нове значення ємності C і виробляємо розрахунок заново.

2. Максимальний опір потенціометра $R_4 = 0,45 R$.

3. Опори резисторів ланцюга негативного зворотного зв'язку
 $R_1 = 1,3 R$; $R_2 = 2R$; $R_3 = R$.

Ємність розділового конденсатора C_p визначаємо з умови мінімального падіння напруги $C_p = 0,3/(f_r = R_n)$, де f_r (кГц), R_n (кОм), C_p (мкФ).

4. Вибір діодів $VD1$, $VD2$ виробляють з умови $r_d \geq 10 R_3$, де $r_d \geq$ диференціальне опір діода.

Розрахунок схеми 9.7, б.

1. Задаємося коефіцієнтом $n = 0,5$ ($n = 0,5 \dots 2$).

2. Опір $R_1 = R_2 = R \approx \sqrt[3]{(R_{ex} R_{вих})}$, де R_{ex} , $R_{вих}$ - відповідно вхідний і вихідний опору ОУ.

3. Опір $R_3 = R / (2n) = R$.

4. Ємність конденсатора $C_1 = C_2 = C = \sqrt{n} / (2\pi f_r R)$.

5. Ємність конденсатора $C_3 = 2C/n = 4C$.

6. Коефіцієнт передачі моста з (6.17) на частоті генерації

$\beta_0 = (4n - 1) / [2n + (1/2n) + 1] = 1/4$. Коефіцієнт посилення неінвертуючий

підсилювача забезпечують умову самозбудження:

$$K_{yU} = 1/\beta_0$$

7. Опір резистора R4 вибирається рівним (1 ... 10) кОм.

8. Опір резистора $R_5 = R_4 (K_{yU} - 1)$.

РОЗДІЛ 10

ФУНКЦІОНАЛЬНІ ПРИСТРОЇ КОМП'ЮТЕРНОЇ (ЦИФРОВОЇ) ЕЛЕКТРОНІКИ

10.1. Аналіз і синтез КЦП

Логічні пристрої, вихідні сигнали яких однозначно визначаються комбінацією вхідних логічних змінних у розглянутий момент часу, називаються комбінаційними.

У процесі проектування будь-якого пристрою виконується ряд дій, які можна віднести до завдань аналізу та синтезу.

10.1.1 Аналіз КЦП

Виконання завдань аналізу КЦП припускає наявність готової функціональної схеми пристрою на логічних елементах заданого базису. У процесі аналізу оцінюються деякі характеристики наявної схеми КЦП. Наприклад, можна скласти булевий вираз і таблицю істинності, що визначають перетворення інформації в КЦП; мінімізувати логічну функцію, яку виконує аналізована схема; оцінити апаратні витрати на реалізацію схеми; її швидкодія; споживану потужність; розглянути можливість утворення в схемі помилкових небезпечних станів в результаті змагань (гонок) та ін.

10.1.2 Синтез КЦП

Синтез КЦУ передбачає побудову функціональної схеми пристрою, тобто визначення складу необхідних логічних елементів і з'єднань між ними, при яких забезпечується перетворення вхідних цифрових сигналів у вихідні відповідно до заданих умовами роботи пристрою [7,8]. У процесі синтезу необхідно мінімізувати апаратні витрати на реалізацію пристрою. Розглянемо особливості синтезу КЦУ з одним виходом. Послідовність синтезу доцільно розбити на ряд етапів.

Етап 1. Завдання логічної функції, що визначає функціонування синтезованого КЦУ. Як зазначалося раніше, це можна зробити словесно, за допомогою таблиць істинності чи булевих виразів.

Етап 2. Мінімізація логічної функції, яка здійснюється алгебраїчним або графічним методом (за допомогою діаграм Вейча, карт Карно).

Етап 3. Запис булевого виразу мінімізованої перемикальної функції.

Етап 4. Перетворення булевого виразу мінімізованої ПФ для реалізації її в заданому базисі І-НЕ або АБО-НЕ.

Етап 5. Складання функціональної схеми КЦУ, тобто зображення потрібних логічних елементів і зв'язків між ними.

Проілюструємо етапи синтезу КЦУ на прикладі.

Необхідно синтезувати на елементах І-НЕ КЦУ на три входи, вихідний сигнал якого збігається з більшістю вхідних сигналів.

Дане словесний опис задає логічну функцію мажоритарною. Її роботу відображає таблиця істинності (таблиця 10.1).

Таблиця 10.1 – Таблиця істинності

№ набору	C	B	A	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

Булевий вираз БФ в СДНФ має вигляд:

$$F = \bar{C} \cdot B \cdot A + C \cdot \bar{B} \cdot A + C \cdot B \cdot \bar{A} + C \cdot B \cdot A. \quad (10.1)$$

Мінімізуючи даний вираз, використовуючи тотожності і теореми булевої алгебри, отримаємо:

$$F = B \cdot A + C \cdot A + C \cdot B \quad (10.2)$$

Перетворимо дане вираз для його реалізації в базисі І - НЕ.

Застосовуючи теорему де Моргана, отримаємо:

$$F = \overline{\overline{B \cdot A} \cdot \overline{C \cdot A} \cdot \overline{C \cdot B}} \quad (10.3)$$

Функціональна схема синтезованого КЦП, що реалізує вираз (10.3) на елементах І-НЕ (рисунок 10.1).

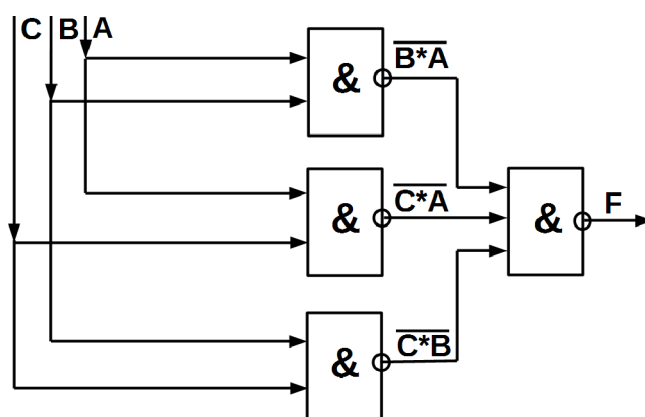


Рисунок 10.1 – Функціональна схема синтезованого КЦП

На практиці широко застосовуються КЦУ, що мають кілька виходів. При проектуванні таких пристроїв можна скористатися розглянутими вище правилами синтезу, якщо уявити пристрій у вигляді сукупності відповідного числа КЦУ із загальними входами.

Функціонування КЦУ з m -виходами описується (задається) аналогічною кількістю переключаючих функцій, над кожною з яких в процесі синтезу виконуються дії, описані вище.

10.2. Типові КЦП

У цифровій техніці при побудові складних пристроїв широко застосовуються не тільки окремі логічні елементи, що реалізують елементарні булеві функції, але і їх комбінації у вигляді типових структур, виконуваних як єдине ціле у вигляді інтегральних мікросхем (ІМС). На входи таких структур можуть подаватися інформаційні логічні сигнали і сигнали управління. Останні можуть визначати, наприклад, порядок передачі інформаційних вхідних сигналів на вихід або грати роль сигналів синхронізації. У багатьох випадках, особливо при використанні в пристроях вихідних ланцюгів з трьома станами, в якості сигналів синхронізації виступають сигнали "Вибір мікросхеми" (CS). Наявність активного значення такого сигналу управління (в одних схемах це логічний нуль, в інших - логічна одиниця) дозволяє пристрою виконання заданих функцій, відсутність його - переводить схему в "невибране" стан, при якому вона не виконує обробку інформації, а її виходи відключені від навантаження.

10.2.1. Шифратори і дешифратори

У повсякденному житті для подання чисел ми застосовуємо десяткову систему числення [2]. Якщо остання використовується для представлення дискретних повідомлень (дискретної інформації - даних), то говорять про кодування - встановленні відповідності між елементами даних і сукупністю символів, названих кодовою комбінацією. У більшості сучасних комп'ютеризованих систем управління і автоматики вхідна дискретна інформація представлена у десятковому (унітарному) коді, а обробка інформації цифровим комп'ютером здійснюється над даними, представленими в двійковому коді. Виникає завдання перетворення десяткового (унітарного) коду в двійковий при введенні в систему і зворотного перекладу двійкового коду в десятковий (унітарний) при виведенні з цифрової системи результатів обробки інформації.

Комбінаційне цифровий пристрій (КЦП), що виконує переклад десяткового (унітарного) коду в двійковий, називається шифратором (кодером) двійкового

коду, а здійснює перетворення двійкового коду в десятковий (унітарний) - дешифратором (декодером) двійкового коду.

Дуже часто десяткові коди перетворюються в двійковий-десятковий, які називають BCD (Binary Code Decimal) -код або кодами 8421. У цьому випадку КЦУ, перетворюючи десятковий код в BCD-код і навпаки, називають відповідно шифратором (кодером) і дешифратором (декодером) двійково-десятькового коду (BCD-коду).

Поширеним вихідним пристроєм, що відображає десяткові числа, є семисегментний індикатор. Його роботою керує дешифратор, перетворюючий BCD-код в семисегментний. Розглянемо названі пристрої більш докладно.

10.2.1.1. Шифратори двійкового коду

Шифратори двійкового коду перетворюють десятковий (унітарний) код в двійковий. Якщо число розрядів вихідного ДК (виходів шифратора) одно m , то максимальне число вхідних шин визначається числом можливих кодових комбінацій ДК і становить 2^m .

Умовне позначення шифратора (рисунок 10.2).

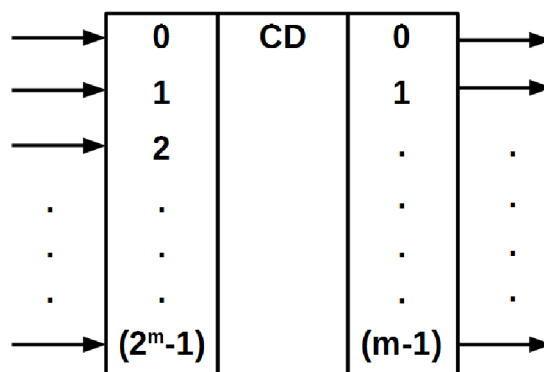


Рисунок 10.2 – Умовне позначення шифратора

На вихідних шинах встановлюється ДК, десятковий еквівалент якого відповідає номеру входу, на якому з'явилася логічна 1. На інших входах при цьому присутні нулі. Такий код називають унітарною (десятьковим).

Розглянемо приклад проектування шифратора, у якого число розрядів вихідного ДК $m = 2$. Максимальне число входів одно $2m = 2 \cdot 2 = 4$, що дозволяє відобразити двухразрядного вихідним двійковим кодом чотирьох десяткові цифри 0, 1, 2, 3. Іноді при проектуванні шифраторів нульовий вхід опускають, вважаючи, що нульовий цифрі на вході відповідають пасивні сигнали (нулі) на всіх залишилися входах. Активний вхідний сигнал – логічна 1. Приймаючи такий підхід, складемо таблицю істинності розглянутого в прикладі (рисунок 10.3) шифратора (таблиця 10.2).

Таблиця 10.2 – Таблиця істинності для шифратора

№ набору	C	B	A	F2	F1
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	1	0
3	0	1	1	–	–
4	1	0	0	1	1
5	1	0	1	–	–
6	1	1	0	–	–
7	1	1	1	–	–

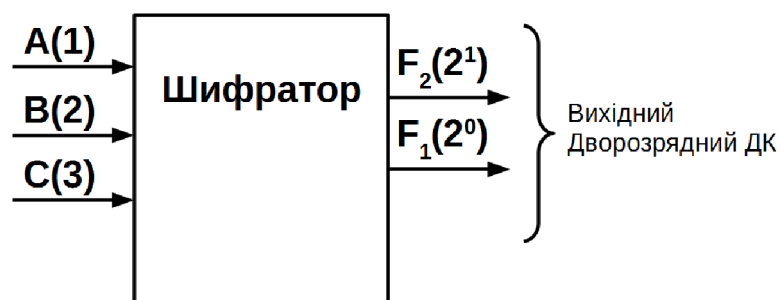


Рисунок 10.3 – Функціональна схема проектованого шифратора

Якщо провести мінімізацію по не нульовим значенням функцій F_2 , F_1 , отримаємо мінімальні КНФ:

$$F_2 = B + C, \quad F_1 = C + A. \quad (10.4)$$

Мінімізуємо функції F2, F1 за допомогою діаграм Вейча (рисунок 10.4):

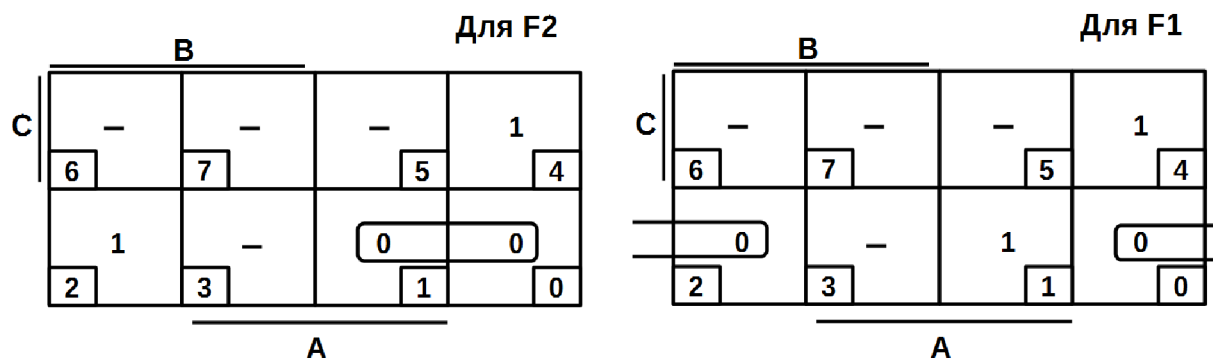


Рисунок 10.4 – Мінімізація логічних функцій

У результаті кон'юнкції входять ті змінні, які в межах накриття не міняють свого значення (входять в прямій або інверсній формі). Змінні, які знаходяться в стовпцях і рядках, що не помічених рискою входять в прямій формі, а помічені - в інверсній.

Принципова схема шифратора, що реалізує ці рівняння, показана на рисунку 10.5.

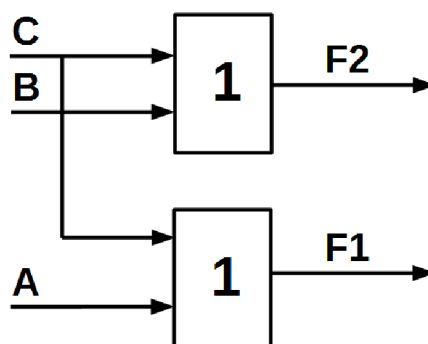


Рисунок 10.5 – Принципова схема шифратора

У цифровій електроніці існує багато ІМС, що виконують функцію шифратора, наприклад, К555ІВ1. Нижче показані її функціональне позначення (рисунок 10.6) і таблиця істинності (таблиця 10.3).

Кодований сигнал низького рівня (логічний 0) надходить на один з входів X0 ... X7. На інших входах повинні бути сигнали високого рівня (таблиця 10.3).

Мікросхема має керуючий (Стробуванням) вхід V і два додаткові виходи: P - дозвіл перенесення і G - заборона переносу. Активними сигналами на цих виходах є логічні одиниці. Сигнали на вході V дозволяють роботу ІМС в режимі кодування

($V = 0$) або забороняють роботу ($V = 1$). У разі заборони ($V = 1$) на всіх виходах встановлюються напруги високого рівня незалежно від сигналів на входах. Сигнал заборони перенесення ($P = 0$) з'являється тоді, коли на всіх інформаційних входах $X_0 \dots X_7$ будуть сигнали високого рівня (логічні одиниці). У цьому випадку з'являється одиниця на виході G .

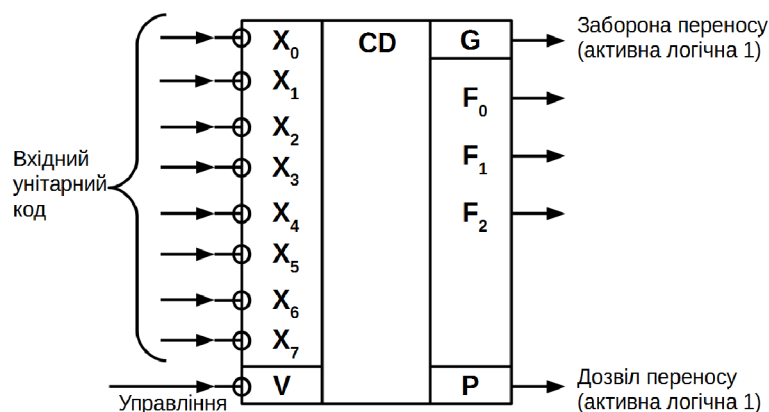


Рисунок 10.6 – Функціональне позначення шифратора

Сигнали з виходів G і P використовують для управління схемою, яка приймає сигнали з виходів шифратора.

Таблиця 10.3 – Таблиця станів шифратора

X7	X6	X5	X4	X3	X2	X1	X0	F2	F1	F0	G	P
1	1	1	1	1	1	1	0	0	0	0	0	1
1	1	1	1	1	1	0	1	0	0	1	0	1
1	1	1	1	1	0	1	1	0	1	0	0	1
1	1	1	1	0	1	1	1	0	1	1	0	1
1	1	1	0	1	1	1	1	1	0	0	0	1
1	1	0	1	1	1	1	1	1	0	1	0	1
1	0	1	1	1	1	1	1	1	1	0	0	1
0	1	1	1	1	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	1	0

Деякі шифратори основну функцію суміщають з можливістю введення пріоритетів кодованих сигналів. Мікросхема K555IB1 (рисунок 10.5) володіє такою можливістю. Функція пріоритету реалізується наступним чином. У ІМС допускається одночасне надходження активних сигналів (логічних нулів) на кілька входів. Пріоритетом володіє активний сигнал на вході з меншим номером, і вихідний двійковий код буде відповідати цьому заданої сигналу. Наприклад, при комбінаціях вхідних сигналів 11110111, 00000111, 10100111, записаних в порядку прийнятому в таблиці 10.3, результат буде один і той же: на виході буде сформований код 011, оскільки пріоритетом володіє нульовий сигнал на вході X3.

10.2.1.2. Шифратори двійково-десятькового коду

Шифратори двійково-десятькового коду перетворюють вхідний десятковий (унітарний) код в двійково-десятьковий (BCD) -код (код 8421);. З виходу такого шифратора паралельно знімається група двійкових сигналів, з яких кожен чотири (тетрада) відображають в двійковому коді десяткову цифру. Відмінність чотирирозрядний двійкового коду від чотирирозрядний BCD-коду полягає в діапазоні зміни комбінацій вихідного коду: у першому випадку вихідний код змінюється від 0000 до 1111, а в другому – від 0000 до 1001.

В одному байті (восьми бітах) можна упакувати (укласти) Дві десяткові цифри в BCD-коді. Такий формат представлення десяткових чисел називається упакованим.

На рисунку 10.6 приведено функціональне позначення шифратора BCD-коду.

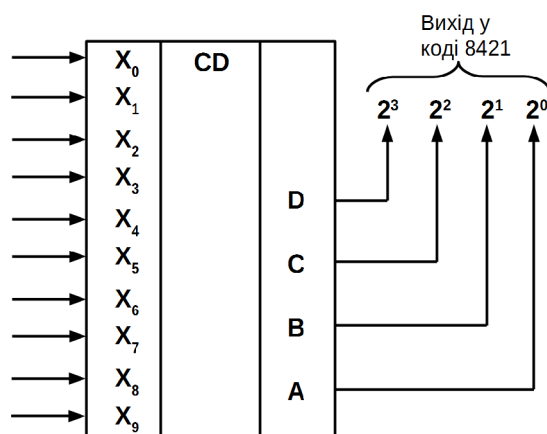


Рисунок 10.7 – Умовне позначення шифратора DCD коду

На вхід системи надходять двійкові цифри від 0 до 9, які відображаються на виході однієї тетрадой двійкового коду, приймаючої значення від 0000 В до 1 001 В.

10.2.1.3. Дешифратори двійкового коду

Дешифратором (декодером) двійкового коду називають КЦП, що перетворює вхідний двійковий код в десятковий (унітарний). Повний дешифратор з m входами має 2^m виходів. Кожній комбінації вхідних сигналів відповідає активне значення тільки одного певного вихідного сигналу. Нижче показана таблиця істинності (таблиця 10.4) та умовне позначення (рисунок 10.8) трьохвходового повного дешифратора з одиничними активними значеннями вихідних сигналів $F_0 \dots F_7$.

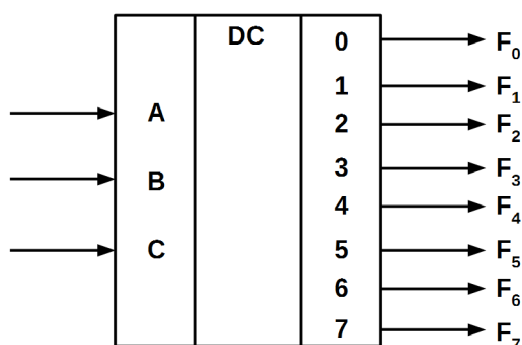


Рисунок 10.8 – Умовне позначення дешифратора

Таблиця 10.4 – Таблиця істинності дешифратора

№ набору	C	B	A	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1

Дешифратор реалізує вісім різних логічних функцій:

$$\begin{aligned} F_0 &= \bar{A} \cdot \bar{B} \cdot \bar{C}; & F_1 &= A \cdot \bar{B} \cdot \bar{C}; & F_2 &= A \cdot \bar{B} \cdot C; & F_3 &= A \cdot B \cdot \bar{C}; \\ F_4 &= \bar{A} \cdot \bar{B} \cdot C; & F_5 &= A \cdot \bar{B} \cdot C; & F_6 &= \bar{A} \cdot B \cdot C; & F_7 &= A \cdot B \cdot C. \end{aligned} \quad (10.5)$$

Якщо вхідні змінні розглядати як двійковий запис чисел, то логічна одиниця формується на тому виході, номер якого відповідає десятковому еквіваленту вхідного двійкового числа.

Розглянутий дешифратор (таблиця 10.4) є перетворювачем двійкового коду в унітарний (десятковий).

Наведені булеві вирази функцій $F_0 \dots F_7$ можна реалізувати на логічних елементах у базисах І, АБО, НЕ; І-НЕ або АБО-НЕ, користуючись методикою викладеної раніше.

В інтегральному виконанні випускаються різні структури дешифраторів, в яких є 2, 3 або 4 входу. В одному корпусі може бути декілька дешифраторів.

Для збільшення функціональних можливостей пристроїв часто передбачається використання декількох додаткових сигналів управління. Як приклад на рисунку 10.9 дано зображення мікросхеми К555ИД4, що містить здвоєний двовходовий дешифратор з активними нульовими вихідними сигналами.

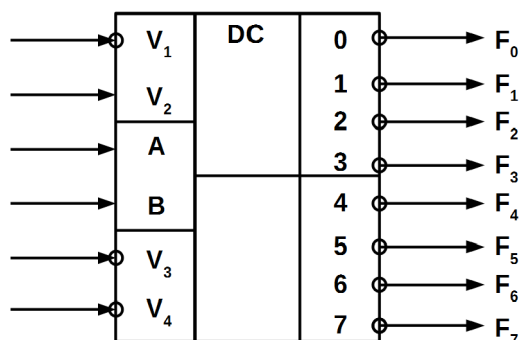


Рисунок 10.9 – Умовне позначення мікросхеми К555ИД4

Вихідні сигнали обох дешифраторів залежать від комбінації вхідних сигналів А, В. Синхронізація процесу формування вихідних сигналів $F_0 \dots F_3$ для кожного

дешифратора задається комбінаціями керуючих сигналів V . Роботу верхнього дешифратора дозволяє комбінація $V_1 = 0, V_2 = 1$, а роботу нижнього – $V_3 = 0, V_4 = 0$. Введення такого управління розширює можливості мікросхеми при побудові більш складних пристроїв, наприклад, дешифраторів зі збільшеним числом входів і виходів.

На рисунку 10.9 показаний приклад включення двох мікросхем К555ИД4 для реалізації дешифратора чотирирозрядний вхідного двійкового коду у вихідний шістнадцятипозиційний унітарний (десятковий) код. Роботу цього дешифратора пояснюють таблиці 10.5 і 10.6.

Таблиця 10.5 – Робота дешифратора

X3	X2	Робочий дешифратор
0	0	Нижній ИМС DD1
0	1	Верхній ИМС DD1
1	0	Нижній ИМС DD2
1	1	Верхній ИМС DD2

Таблиця 10.6 – Робота дешифратора

№ набору	X3	X2	X1	X0	F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13	F14	F15
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
2	0	0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
3	0	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
4	0	1	0	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
5	0	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
6	0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
7	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
8	1	0	0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
10	1	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
11	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
12	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
13	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
14	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
15	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

Дешифратори можуть бути неповними (мають число виходів $N_{вих} < 2m$, де m – число вхідних змінних). Наприклад, такі дешифратори можуть використовуватися для перетворення двійково-десятькового коду в код, призначений для управління десятковим індикатором (дешифратори 4x10). На рисунку 10.10 показано умовне позначення дешифратора 4x10 (наприклад, мікросхеми К555ІД1 або К564ІД1). Схема має активні поодинокі вихідні сигнали.

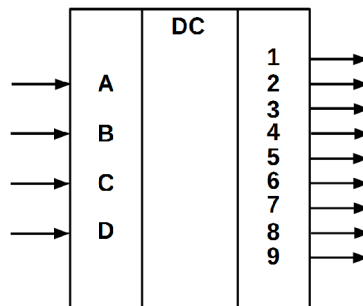


Рисунок 10.10 – Умовне позначення дешифратора 4x10

10.2.1.4 Дешифратор BCD-коду в семисегментний код

Подібну назву має перетворювач двійково-десятькового (BCD) коду в код семисегментний індикатора десятикових цифр.

10.2.1.4.1. Семисегментний індикатор на світлодіодах

Дуже поширеним вихідним пристроєм відображення десятикових чисел є семисегментний індикатор. Сім сегментів індикатора позначені буквами від а до g (рисунки 10.11, а).

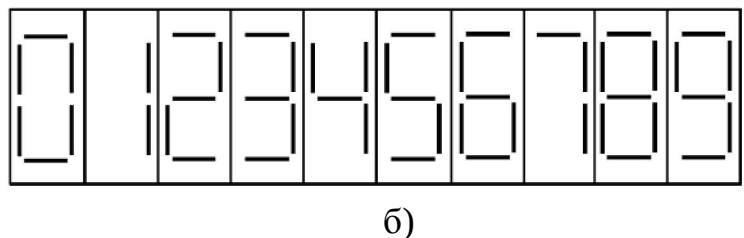
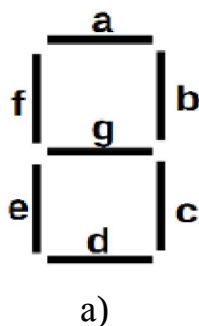


Рисунок 10.11 – Умовне позначення індикатора і його сегментів

Спосіб зображення десяткових цифр від 0 до 9 показаний на рисунку 10.11, б. Наприклад, якщо світяться сегменти а, b і с, то на індикаторі з'являється десяткова цифра 7. Якщо світяться всі сегменти від а до g, то з'являється цифра 8. Існує кілька різновидів індикаторів: на рідких кристалах (РКІ), розжарювальну (подібний звичайним лампам розжарювання), світлодіодні і т.д. [3]

Основною частиною світлодіода [18] є діод з площинним pn – переходом. Коли діод включений в прямому напрямку, через pn – перехід протікає струм і виникає випромінювання, яке фокусується в індикаторі спеціальної лінзою, щоб його можна було спостерігати у вигляді загорання певного сегмента.

Схема включення одного світлодіода (сегмента) приведено на рисунку 10.12,а.

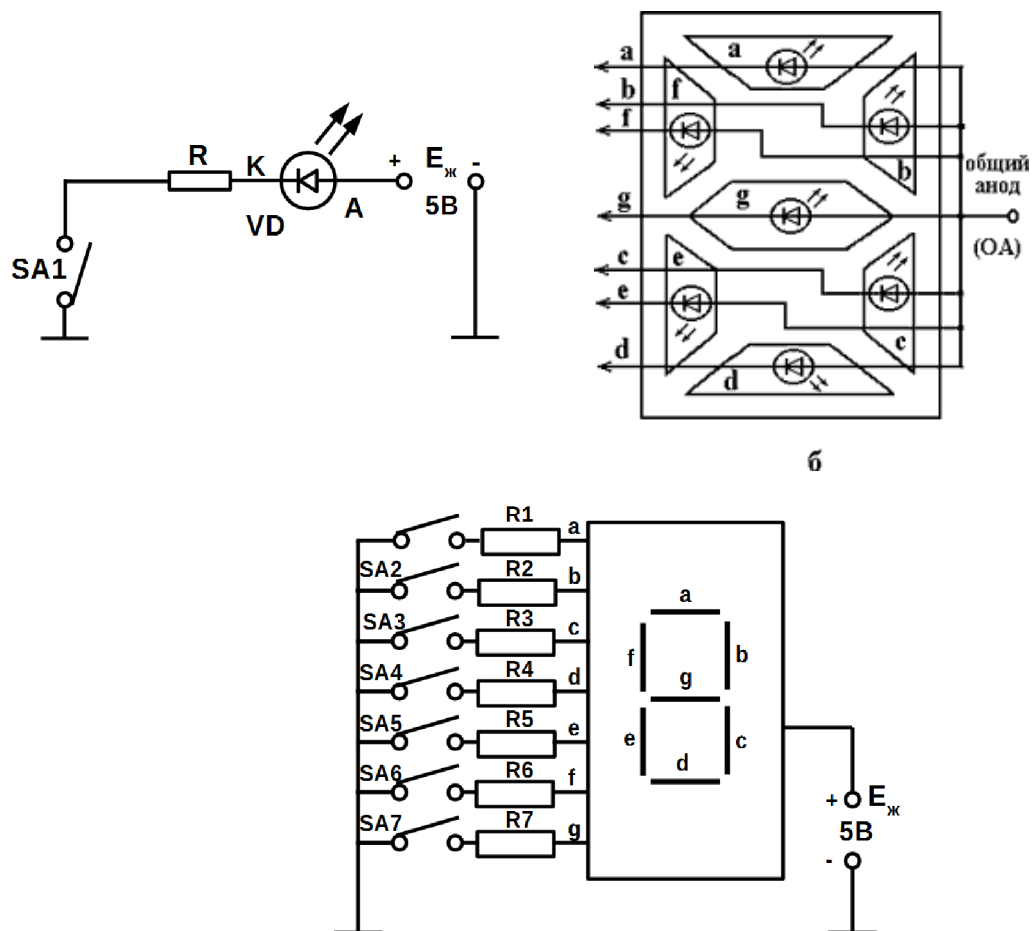


Рисунок 10.12 – Схема включення світлодіода одного сегмента а) і в) і індикатор на рідких кристалах б)

$$R = \frac{E_{num} - U_{vd \leftrightarrow np.}}{I_{vd \leftrightarrow np.}} \quad (10.6)$$

Коли ключ SA_1 замкнутий, струм від джерела $E_{жив} = +5V$ тече через світлодіод, викликаючи його світіння. Послідовно включений резистор обмежує струм до рівня приблизно (10...20) мА. Без обмежує резистора світлодіод може вийти з ладу. Зазвичай на висновках світлодіодів при випромінюванні допускається напруга ($U_{VD,np.}$) не більше (1,7...2) В. Як і всякий діод, світлодіод чутливий до полярності прикладеної напруги. Щоб він був включений в прямому напрямку катод (К) повинен бути підключений до негативного полюса джерела живлення (землі), а анод (А) – до його позитивного полюсу.

Пристрій семисегментний індикатора на світлодіодах показано на рисунку 10.12, б. У кожному сегменті (від a до g) міститься світлодіод і фокусуються лінза. Аноди всіх світлодіодів з'єднані разом і підключені з правого боку індикатора до одного висновку - загальному анода (ОА). Катоди кожного світлодіода пов'язані із зовнішніми висновками, позначеними $a, b, c, \dots g$. Індикатор (рисунок 10.12, б) відноситься до семісегментним світлодіодним індикаторам із загальним анодом. Існують індикатори із загальним катодом [15].

На рисунку 10.13, показано управління сегментами індикатора за допомогою механічних перемикачів. При замиканні одного з ключів $SA_1 \dots SA_7$ струм від $E_{жив} = +5V$ тече: через вибраний сегмент, обмежувальний резистор і замкнуті контакти перемикача - на землю ($-E_{жив}$). При цьому обраний сегмент буде світитися (випромінювати). Якщо, наприклад, ми захочемо висвітлити на індикаторі десяткову цифру 7, то необхідно замкнути ключі SA_1, SA_2 і SA_3 , щоб випромінювали сегменти a, b і c . Якщо хочемо висвітлити цифру 5, необхідно замкнути ключі SA_1, SA_3, SA_4, SA_6 і SA_7 , які заземлюють катоди сегментів a, c, d, f і g . Слід звернути увагу, що в світлодіодному індикаторі із загальним анодом для активізації (запалювання) сегментів необхідно подати потенціал землі (логічний нуль) на висновки, що відповідає обраному сегменту.

Для керування роботою індикатора (рисунок 10.12) використовувалися механічні перемикачі. Зазвичай керуючі сигнали формуються інтегральними мікросхемами, наприклад, дешифратором BCD-коду в семисегментний код.

Нижче показано зображення такого дешифратора на електричних схемах (рисунок 10.13, а) і його підключення до семисегментним світлодіодному індикатору із загальним анодом (рисунок 10.13, б).

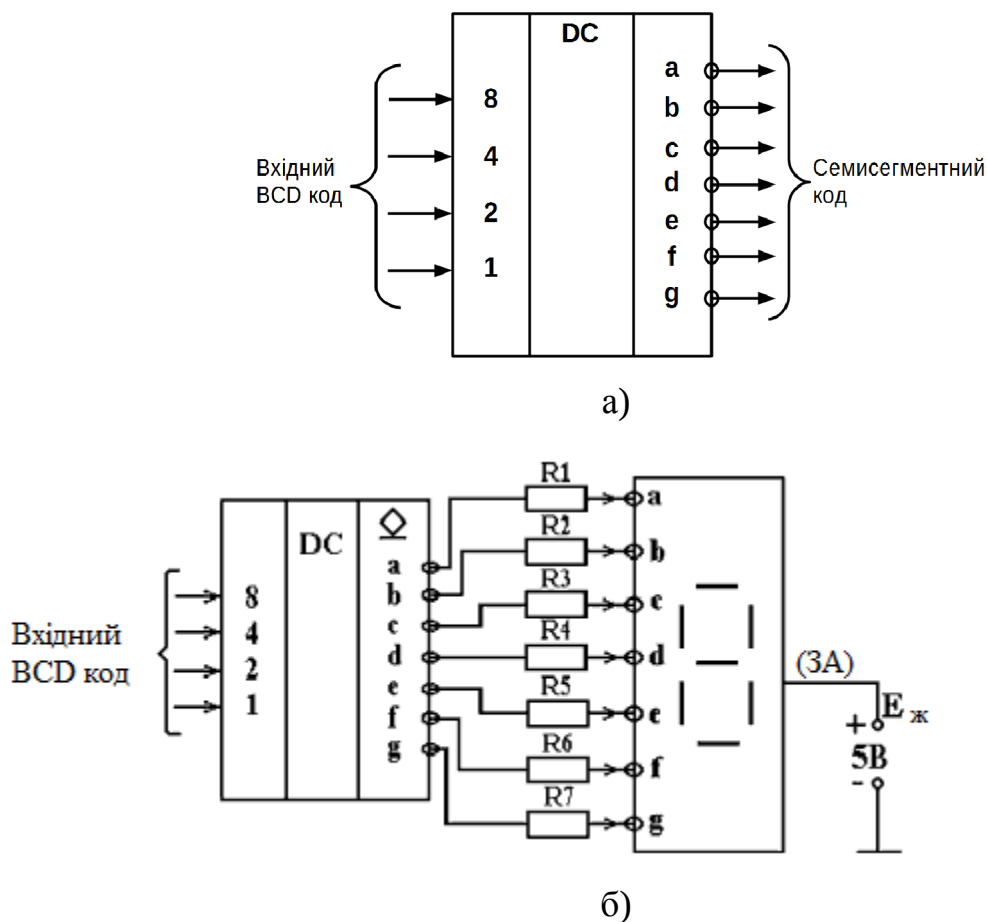


Рисунок 10.13 – Електрична схема управління семисегментним індикатором

В якості дешифраторів BCD-коду в семисегментний можуть використовуватися різні мікросхеми, наведені в [4, 15].

Наприклад, ІМС К514ІД2, позначення якої дано на рисунку 10.13, а, має відкриті колекторні виходи і використовується спільно з індикаторами, що мають загальний анод. При цьому потрібно застосування зовнішніх резисторів, що включаються між виходами дешифратора і входами індикатора (рисунок 10.13, б).

Допустимий струм мікросхеми дешифратора по кожному виходу становить 22 мА.

Окрім інформаційних входів, на які надходить двійково-десятковий код, індикатори можуть містити ряд керуючих входів [4, 15, 18], наприклад, для придушення нулів, гасіння, контролю свічення, синхронізації і т.д.

10.2.2 Мультиплексори і демультиплексори

У сучасних мікропроцесорних пристроях управління і однокристальних мікроЕОМ широко застосовуються КЦУ, що здійснюють підключення (комутірованіе) виходу одного з паралельно включених цифрових пристроїв на загальну шину або, навпаки, з'єднання загальної шини з входом одного з декількох паралельно включених пристроїв. Ці функції виконують пристрої, звані Мультиплексори і демультиплексори.

10.2.2.1. Мультиплексори

Мультиплексор – це комбінаційне цифрове пристрій, який сполучає (комутує) один з декількох інформаційних вхідних сигналів з одним загальним виходом. Приклад позначення мультиплексора на електричних схемах показаний на рисунку 10.14.

Пристрій містить вісім інформаційних входів: $D_0, D_1, \dots, D_7$; трьох адресних входу: A_0, A_1, A_2 і один синхронізуючий вхід V .

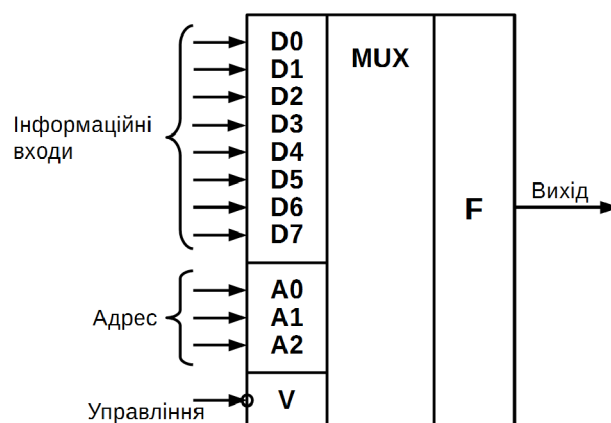


Рисунок 10.14 – Умовне позначення мультиплексора

Залежно від комбінації адресних сигналів A_0, A_1, A_2 він забезпечує комутацію одного з восьми інформаційних вхідних сигналів D_i на загальний вихід F . Нульовий синхросигнал на вході V дозволяє передачу інформації з вибраного входу на вихід. Булево вираз, що описує функціонування розглянутого мультиплексора має вигляд:

$$F = \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0} \cdot \overline{V} \cdot D_0 \vee \overline{A_2} \cdot \overline{A_1} \cdot A_0 \cdot \overline{V} \cdot D_1 \vee \overline{A_2} \cdot A_1 \cdot \overline{A_0} \cdot \overline{V} \cdot D_2 \vee \\ \vee \overline{A_2} \cdot A_1 \cdot A_0 \cdot \overline{V} \cdot D_3 \vee A_2 \cdot \overline{A_1} \cdot \overline{A_0} \cdot \overline{V} \cdot D_4 \vee A_2 \cdot \overline{A_1} \cdot A_0 \cdot \overline{V} \cdot D_5 \vee \\ \vee A_2 \cdot A_1 \cdot \overline{A_0} \cdot \overline{V} \cdot D_6 \vee A_2 \cdot A_1 \cdot A_0 \cdot \overline{V} \cdot D_7 \quad (10.7)$$

Приклад реалізації мультиплексора 4х1.

Мультиплексор можна реалізувати за допомогою логічних елементів заданого базису. У його структуру можна ввести і більш складні цифрові пристрої, наприклад, перетворювач двійкового коду в десятковий (дешифратор).

На рисунку 10.15, а наведено приклад реалізації мультиплексора з чотирма інформаційними входами на ЛЕ базису І, АБО, НЕ і дешифраторі, а на рисунку 10.15, б показано його функціональне позначення. Якщо $V = 0$, то $F = 0$ незалежно від інформаційних сигналів.

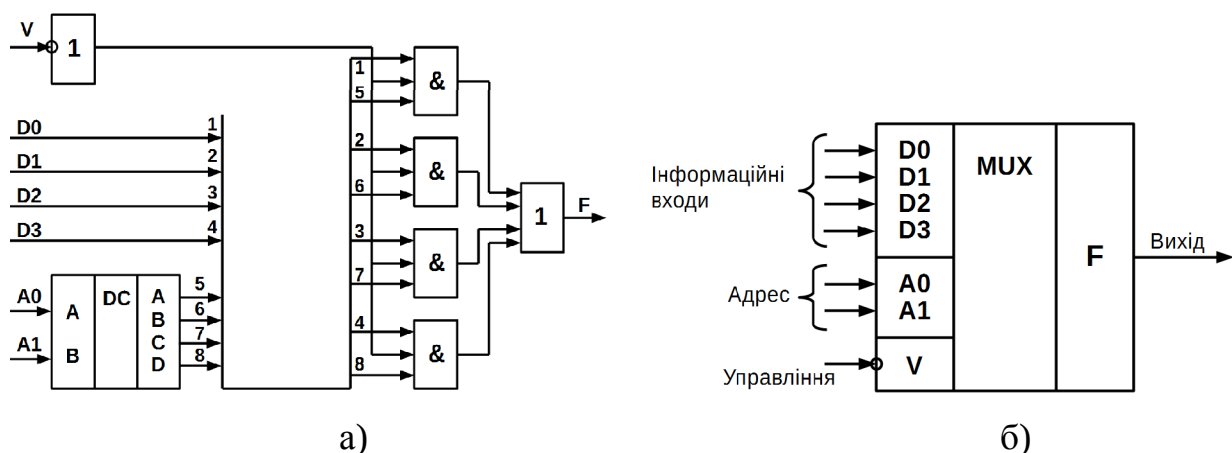


Рисунок 10.15 – Функціональна схема мультиплексора: а) умовне позначення; б) з 4-ма керуючими входами

Схема реалізує булевий вираз:

$$Y = \overline{A_1} \cdot \overline{A_0} \cdot \overline{V} \cdot D_0 + \overline{A_1} \cdot A_0 \cdot \overline{V} \cdot D_1 + A_1 \cdot \overline{A_0} \cdot \overline{V} \cdot D_2 + A_1 \cdot A_0 \cdot \overline{V} \cdot D_3 \quad (10.8)$$

Існують мультиплексори в інтегральному виконанні, наприклад, ІМС К555КП2 (рисунок 10.16).

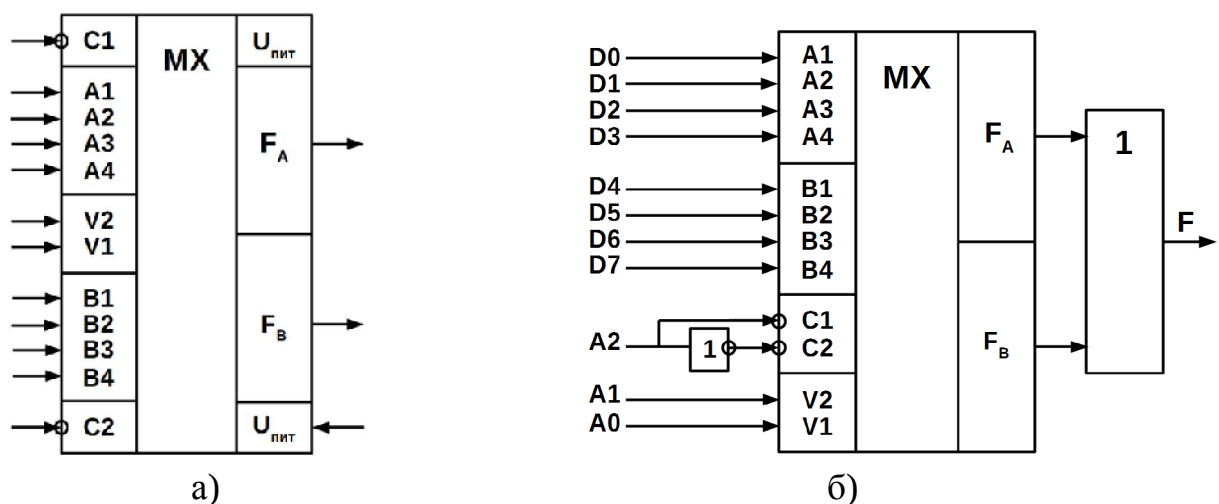


Рисунок 10.16 – Умовне позначення мультиплексора в інтегральному виконанні виконаного на мікросхемі К555КП2

Мультиплексор КП2 (рисунок 10.16, а) містить два мультиплексора 4х1 із загальними адресними входами. Він складається з двох частин, кожна з яких містить чотири інформаційних канали A1 ... A4 (B1 ... B4); і один вихід FA (FB). Керуючі (адресні) входи V2, V1 є загальними, тобто сигнали на них чинять одночасний вплив на обидві частини ІМС. Правила роботи схеми відображає таблиця 10.5.

Для збільшення числа каналів об'єднують кілька мультиплексорів, використовуючи для цієї мети стробуванням входів, як це показано на рисунку 10.16, б. Ця схема реалізує мультиплексор 8х1 (таблиця 10.6).

Таблиця 10.5 – Правила роботи схеми

Стробування входи C1, C2	Управляючі входи		Вихід FA	Вихід FB
	V_2	V_1		
0	0	0	A_1	B_1
0	0	1	A_2	B_2
0	1	0	A_3	B_3
0	1	1	A_4	B_4
1	X	X	0	0
Примітка: X – будь-яке значення: 0 або 1				

Таблиця 10.6 – Реалізація мультиплексора 8х1

№	A_2	$A_1 (V_2)$	$A_0 (V_1)$	F
0	0	0	0	D_0
1	0	0	1	D_1
2	0	1	0	D_2
3	0	1	1	D_3
4	1	0	0	D_4
5	1	0	1	D_5
6	1	1	0	D_6
7	1	1	1	D_7

10.2.2.2. Демультимплексори

Демультимплексор – це КЦУ, яке з'єднує (комутує) загальний інформаційний вхід з одним з декількох виходів відповідно до заданого кодом на керуючих (адресних) входах. Іншими словами, демультимплексори вирішують завдання, зворотні мультиплексуванню. Приклад позначення демультимплексора на електричних схемах показаний на рисунку 10.17, а.

Схема має чотири інформаційних виходу і два адресних входу A_0 і A_1 . Булеві вирази, що описують роботу даного демультимплексора, мають вигляд:

$$\left. \begin{aligned} Y_0 &= \overline{A_1} \cdot \overline{A_0} \cdot D, \\ Y_1 &= \overline{A_1} \cdot A_0 \cdot D, \\ Y_2 &= A_1 \cdot \overline{A_0} \cdot D, \\ Y_3 &= A_1 \cdot A_0 \cdot D. \end{aligned} \right\} \quad (10.9)$$

Такими ж виразами визначається робота дешифратора з синхровхід V (рисунок 10.17, б). Тому його можна використовувати в якості демультимплексора, якщо інформаційний вхідний сигнал подавати на вхід V .

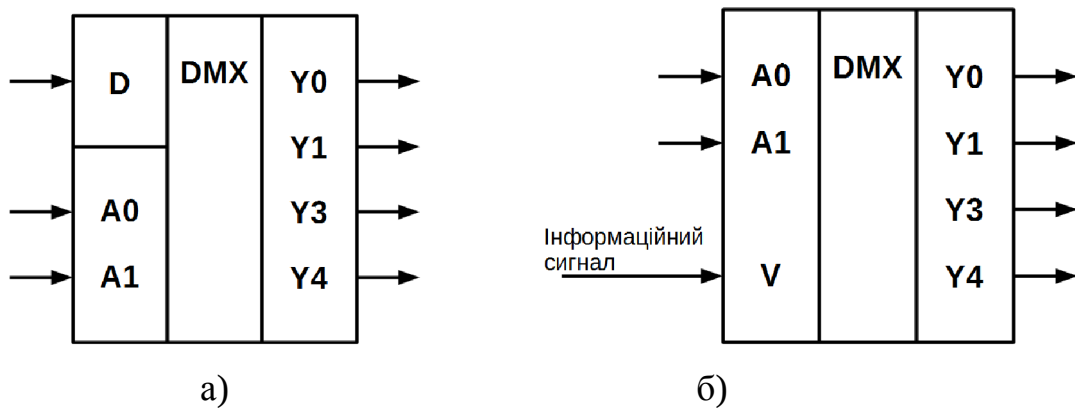


Рисунок 10.17 – Умовне зображення мультимплексорів

10.2.2.3. Мультимплексори-селектори (мультимплексори-демультиплексори)

Мультимплексори-селектори є двонаправленими, оскільки дозволяють комутувати цифрові й аналогові сигнали в обох напрямках, і тому можуть бути використані не тільки в якості мультимплексора для комутації одного з входів на вихід, але і в якості селектора (демультиплексора) для комутації входу на один з виходів.

Нижче показані: позначення мультимплексора-селектора (демультиплексора) на електричних схемах (рисунок 10.18, а) і його спрощена внутрішня структура (рисунок 10.18, б).

Пристрій містить дві групи двонаправлених ключів ($K_1...K_4$) і дешифратор. Вихідні сигнали дешифратора впливають на керуючі входи ключів (E) і

визначають їх стан. При $E = 0$ ключ закритий, а при $E = 1$ – відкритий і утворює низькоомний ланцюг розповсюдження сигналу через нього. Такий ключ називають аналоговим, оскільки він забезпечує неспотворену двосторонню передачу сигналів. Кожен ключ має два рівнозначних виведення, кожен з яких може бути входом або виходом. По одному з висновків ключі об'єднані в дві групи FA і FB , які утворюють виходи мультимплексорів і входи демультимплексорів.

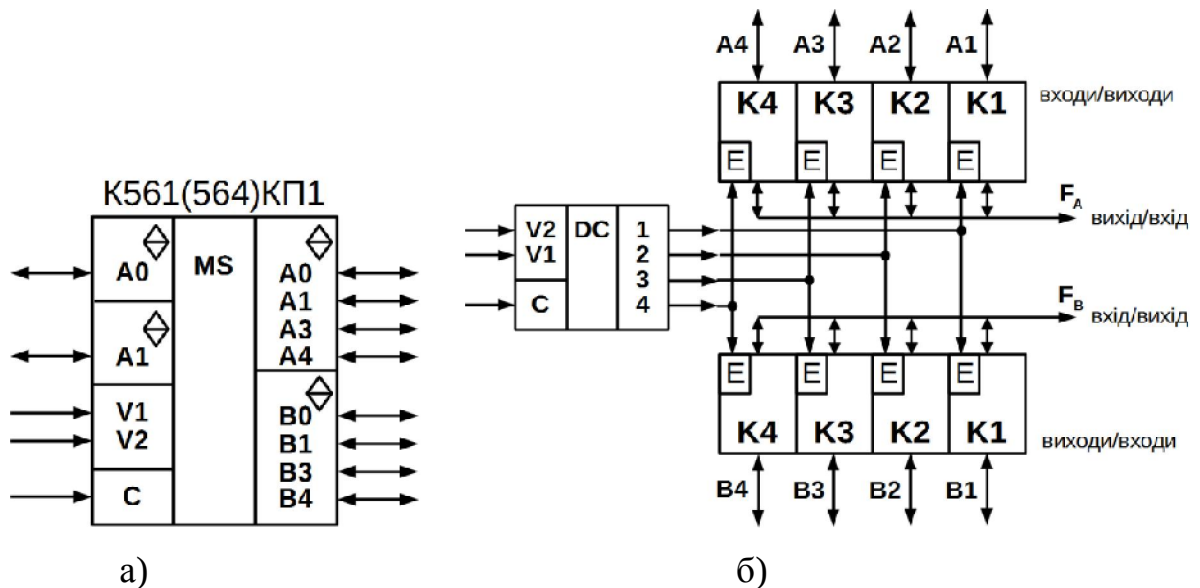


Рисунок 10.18 – Мультимплексор-селектор: а) умовне зображення; б) електрична схема з'єднань

Структуру, представлено на рисунку 10.18, б, має мікросхема K561 (564) КП1, виконана за КМОН-технології та містить два мультимплексора-селектора, керовані від загальних входів V_1 , V_2 і C (рисунку 10.18, а). При одиничному керуючому сигналі на вході 3 ключі розімкнуті і виходи знаходяться в 3-му стані.

10.2.3 Суматори і півсуматори

Суматор призначений для складання двох чисел, заданих у двійковому коді. З прикладу, наведеного на рисунку 10.20, видно, що правила складання десяткових і двійкових чисел однакові:

- 1) складання виробляється по-розрядно від молодшого розряду до старшого;

2) сума молодших розрядів доданків A_0 і B_0 записується у відповідній системі числення однозначним числом S_0 або двозначним числом P_0S_0 , де P_0 називається перенесенням з нульового розряду в сусідній перше;

3) у всіх наступних розрядах знаходиться сума даних розрядів доданків A_i , B_i і перенесення P_{i-1} від складання попередніх розрядів (в прикладах на рисунку 10.19 цей випадок позначений зірочкою).

$$\begin{array}{r} \text{*} \\ + \begin{array}{r} 18D \\ 23D \end{array} \\ \hline 41D \end{array} \qquad \begin{array}{r} \text{*} \text{*} \\ + \begin{array}{r} 10010B \\ 10111B \end{array} \\ \hline 101001B \end{array}$$

Рисунок 10.19 – Правила складання десяткових і двійкових чисел

Сказане відображає таблиця істинності одно-розрядного двійкового повного суматора (таблиця 10.6).

Таблиця 10.6 – Таблиця істинності

N набору	A_i	B_i	P_{i-1}	S_i	P_i
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

Булеві вирази логічних функцій S_i і P в СДНФ мають вигляд:

$$S_i = \overline{A_i} \cdot \overline{B_i} \cdot P_{i-1} + \overline{A_i} \cdot B_i \cdot \overline{P_{i-1}} + A_i \cdot \overline{B_i} \cdot \overline{P_{i-1}} + A_i \cdot B_i \cdot P_{i-1}, \quad (10.10)$$

$$P_i = \overline{A_i} \cdot B_i \cdot P_{i-1} + A_i \cdot \overline{B_i} \cdot P_{i-1} + A_i \cdot B_i \cdot \overline{P_{i-1}} + A_i \cdot B_i \cdot P_{i-1}. \quad (10.11)$$

Вираз (10.11) можна мінімізувати. У результаті отримаємо:

$$P_i = A_i \cdot P_{i-1} + A_i \cdot B_i + B_i \cdot P_{i-1}. \quad (10.12)$$

На підставі виразів (10.10) і (10.12) одно-розрядний двійковий повний суматор може бути реалізований в базисі І, АБО, НІ (рисунок 10.20).

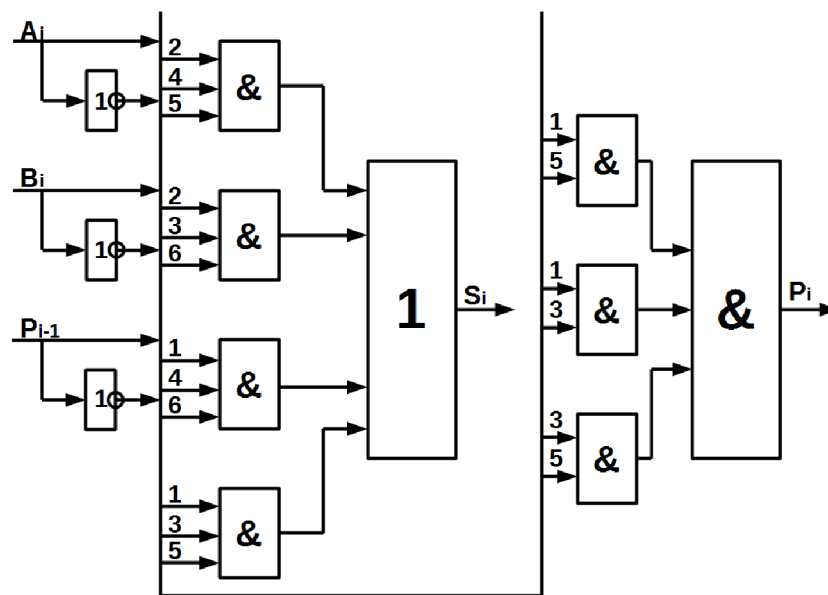


Рисунок 10.20 – Схема реалізації одно-розрядного двійкового суматора

Використовуючи правила переходу з базису І, АБО, НЕ в базис І-НЕ і АБО-НЕ, можна побудувати одно-розрядний повний суматор в двох інших базисах.

Позначення одно-розрядного суматора на електричних схемах наведено на рисунку 10.21.

Півсуматор, на відміну від повного суматора, забезпечує виконання операції підсумовування двох одно-розрядних двійкових чисел A_i і B_i без урахування сигналу переносу. У результаті складання поряд з сумою може вийти перенос. Функціонування півсуматора описується таблиця 10.7.

Як видно з таблиці 10.7, для реалізації функції S_i необхідний елемент "нерівнозначність" (суматор за модулем два), а для реалізації функції P_i – логічне І. Булеві вирази для S_i і P_i в СДНФ мають вигляд:

$$\left. \begin{aligned} S_i &= \overline{A_i} \cdot B_i + A_i \cdot \overline{B_i}, \\ P_i &= A_i \cdot B_i. \end{aligned} \right\} \quad (10.13)$$

Таблиця 10.7 – Функціонування півсуматора

N набору	A _i	B _i	S _i	P _i
0	0	0	0	0
1	0	1	1	0
2	1	0	1	0
3	1	1	0	1

Приклад проектування півсуматора на логічних елементах.

На рисунку 10.21. наведена схема, реалізує вираз (10.11) на елементах І, АБО, НІ.

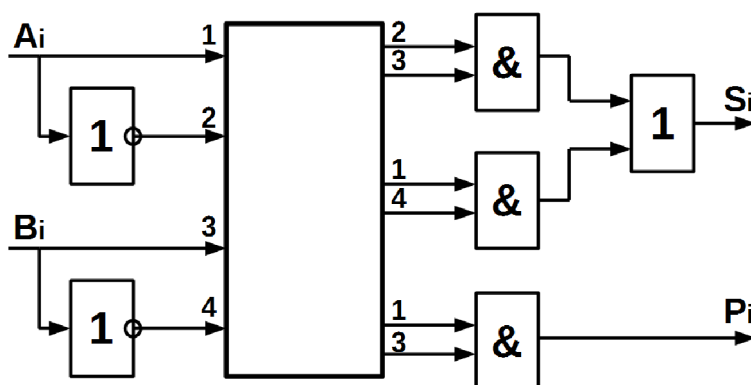


Рисунок 10.21 – Схема реалізації суматора по функції (10.13)

Для отримання більш простої схеми одно-разрядного півсуматора на логічних елементах функцію S_i краще уявити в СКНФ (таблиця 10.7)

$$S_i = (A_i + B_i) \cdot (\overline{A_i} + \overline{B_i}). \quad (10.14)$$

Виконавши перетворення по теоремі де Моргана, отримаємо:

$$S_i = (A_i + B_i) \cdot \overline{A_i \cdot B_i}, \quad (10.15)$$

де, $A_i \cdot B_i = P_i$ (10.13).

Вираз (10.15) реалізується схемою (рисунок 10.22).

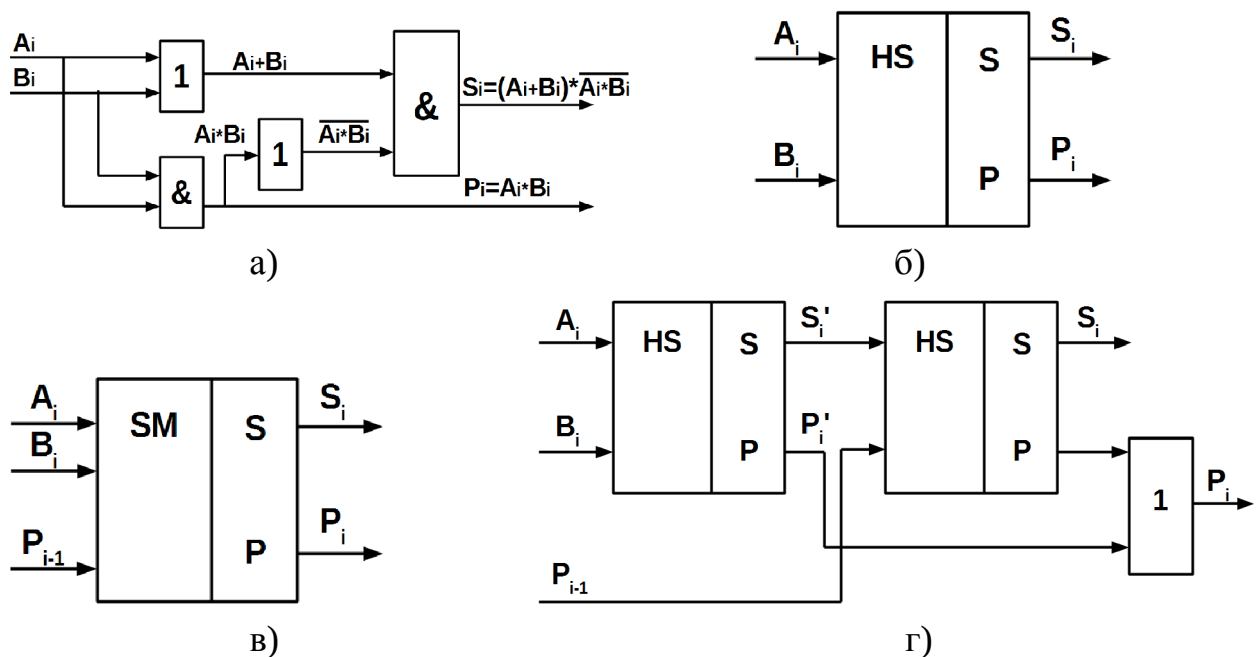


Рисунок 10.22 – Схеми суматорів реалізують логічні вирази

Якщо порівняти цю схему зі схемою, що реалізує вираз (10.13), то схема на рисунок 10.21, а виглядає простіше.

Умовні графічні позначення півсуматора і повного одно-розрядного суматора на електричних схемах показані на рисунку 10.22 б, в, а схема повного одно-розрядного суматора, виконаного на двох півсуматора, показана на рисунку 10.22.

Для складання n -розрядних чисел необхідно $(n-1)$ одно-розрядних повних суматорів і один півсуматор в нульовому розряді (рисунок 10.23).

У цьому суматорі реалізована послідовна передача перенесення з одного розряду в інший. При великій кількості розрядів сумуючих чисел тривалість

підсумовування в суматорах з послідовним перенесенням може виявитися неприпустимо великий. Великою швидкістю володіють суматори з паралельним переносом, містять схему прискореного перенесення.

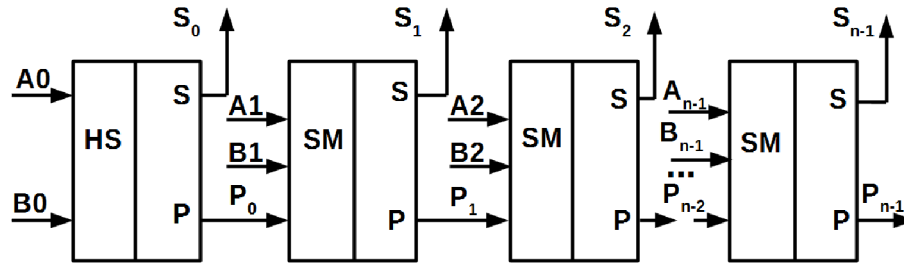


Рисунок 10.23 – Функціональна схема суматора, де реалізована послідовна передача перенесення з одного розряду в інший

10.2.4. Пристрої контролю парності (ПКП)

Призначені для перевірки довічних кодових комбінацій, що надходять на їх входи, на наявність в них парного (непарного) числа одиниць. Таке КЦУ має n входів, рівне кількості розрядів вхідного ДК, і один вихід. На виході формується напруга високого рівня тільки в тому випадку, якщо число одиниць у вхідному коді непарне. Основу схеми контролю парності становить суматор за модулем два, який реалізує логічну операцію.

$$F = X_1 \oplus X_2 \oplus \dots \oplus X_n. \quad (10.16)$$

Для двох змінних ця операція може бути виконана логічним елементом "ВИКЛЮЧАЄ АБО", який реалізує логічну функцію.

$$F = X_1 \vee X_2 = X_1 \oplus X_2 = X_1 \cdot \overline{X_2} + \overline{X_1} \cdot X_2. \quad (10.17)$$

Функція F має значення одиниця тільки в тому випадку, якщо в наборі з двох змінних є одна одиниця, в інших випадках значення функції дорівнює нулю.

Нижче показані: складу мікросхеми K555ЛП5, що включає 4 двох входових суматора за модулем два (рисунок 10.24, а), приклад побудови на основі ІМС K555ЛП5 пристрої контролю парності 8-розрядного ДК (рисунок 10.24, б) і позначення мікросхеми K561СА1, що є пристроєм контролю парності 12 - розрядних двійкових кодів (рисунок 10.24, в).

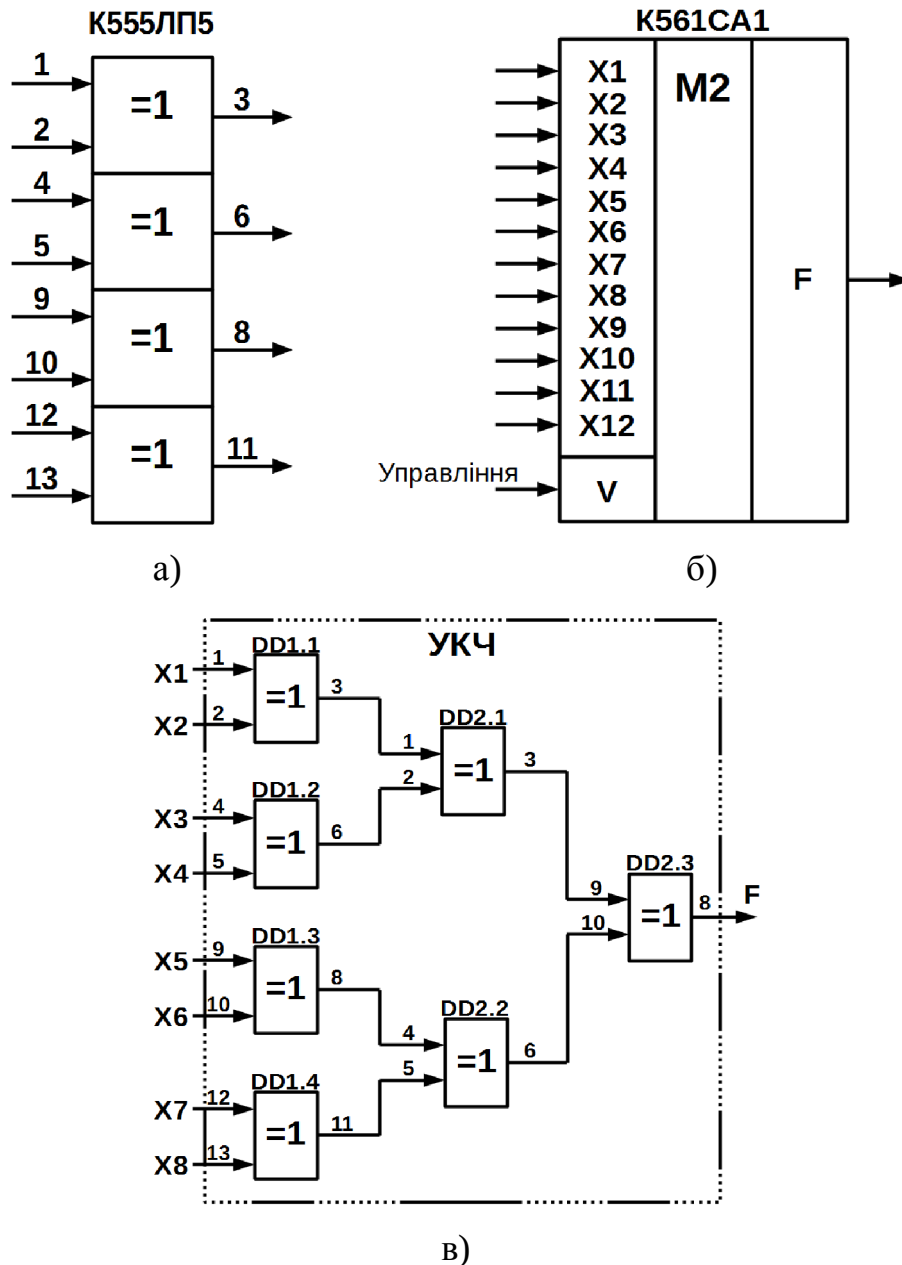


Рисунок 10.24 – Мікросхеми двох входових суматорів за модулем 2; в) приклад побудови суматора на інтегральних мікросхемах

Якщо $V = 0$, то:

парне $\rightarrow F = 0$;]

⌋ F доповнює до парності.

непарне $\rightarrow F = 1$; ⌋

Якщо $V = 1$, то:

парне $\rightarrow F = 1$; ⌋

⌋ F доповняє до непарності.

непарне $\rightarrow F = 0$; ⌋

10.2.5. Цифрові компаратори

Порівнюють два числа, представлених в двійковому коді, $A = \{a_{n-1}, a_{n-2}, \dots, a_1, a_0\}$ і $B = \{b_{n-1}, b_{n-2}, \dots, b_1, b_0\}$ і формують ознаку результату порівняння у вигляді напруги високого рівня на одному з виходів: $FA = B, FA < B, FA > B$.

Найбільш простою є схема формування ознаки рівності двох чисел (рисунок 10.23).

Такий компаратор включає логічний елемент АБО-НЕ, на входи якого подаються результати порозрядного додавання по модулю два.

Схема реалізує логічну функцію.

$$F = (a_0 \cdot b_0 \vee \overline{a_0} \cdot \overline{b_0}) \wedge (a_1 \cdot b_1 \vee \overline{a_1} \cdot \overline{b_1}) \wedge \dots \wedge (a_{n-1} \cdot b_{n-1} \vee \overline{a_{n-1}} \cdot \overline{b_{n-1}}). \quad (10.18)$$

Після перетворення (10.18) по теоремі де Моргана отримаємо:

$$F = \overline{(a_0 \cdot b_0 \vee \overline{a_0} \cdot \overline{b_0}) \vee (a_1 \cdot b_1 \vee \overline{a_1} \cdot \overline{b_1}) \vee (a_{n-1} \cdot b_{n-1} \vee \overline{a_{n-1}} \cdot \overline{b_{n-1}})}. \quad (10.19)$$

Враховуючи, що $\overline{(a_0 \cdot b_0 \vee \overline{a_0} \cdot \overline{b_0})} = a_0 \cdot \overline{b_0} \vee \overline{a_0} \cdot b_0$ – нееквівалентність (і сума по модулю два для двох змінних), вираз (10.19) прийме вигляд:

$$F = \overline{(a_0 \cdot \overline{b_0} \vee \overline{a_0} \cdot b_0) \vee (a_1 \cdot \overline{b_1} \vee \overline{a_1} \cdot b_1) \vee (a_{n-1} \cdot \overline{b_{n-1}} \vee \overline{a_{n-1}} \cdot b_{n-1})}, \quad (10.20)$$

що відповідає рисунок 10.25.

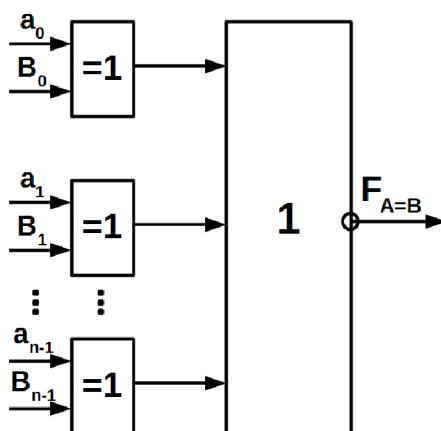


Рисунок 10.25 – Схема формування ознаки рівності

Якщо $A = B$, то $F = 1$, якщо $A \neq B$, то $F = 0$.

Нижче показані: позначення 4-вхідну компаратора на електричних схемах (рисунок 10.26, а) і приклад його реалізації на суматорі і логічних елементах І, АБО-НЕ, НЕ (рисунок 10.26, б).

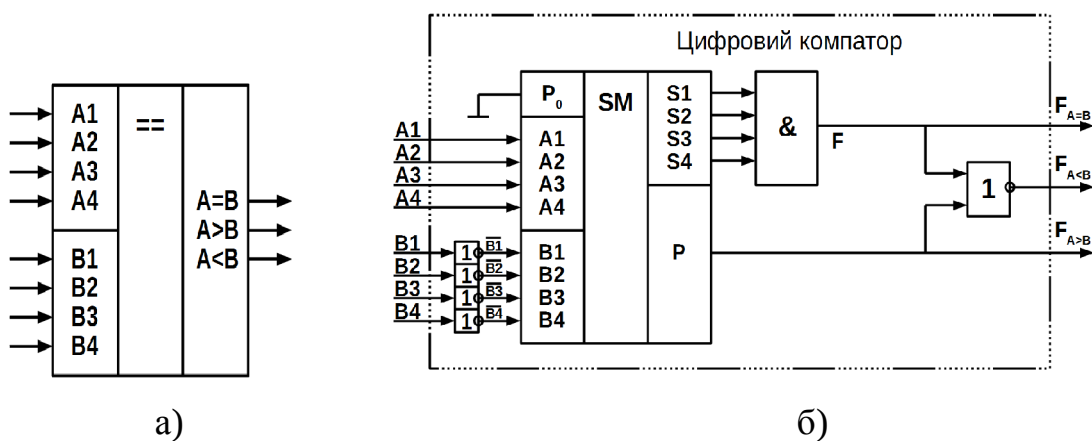


Рисунок 10.26 – 4-х вхідний компаратор: а) умовне зображення; б) функціональна схема.

10.3. Використання для проектування КЦП мультиплексорів, дешифраторів і постійних запам'ятовуючих пристроїв

У зв'язку з тим, що багато серії ІМС містять у своєму складі мультиплексори, дешифратори і постійні запам'ятовуючі пристрої (ПЗУ), то розглянемо

можливість реалізації на їх основі різних КЦУ. У ряді випадків, особливо при великому числі вхідних змінних і значній кількості виходів це дозволяє зменшити загальне число необхідних корпусів мікросхем.

10.3.1. Побудова КЦП на мультиплексорах

В якості прикладу розглянемо реалізацію за допомогою восьми входового мультиплексора (рисунок 10.27) мажоритарного елементу, функціонування якого описано таблицею істинності (таблиця 10.8).

На адресні входи мультиплексора подаються вхідні логічні змінні X_1, X_2, X_3 , а на інформаційних входах $D_0 \dots D_7$ зафіксовані значення реалізованої логічної функції на наборах логічних змінних, номери яких співпадають з номерами інформаційних входів мультиплексора.

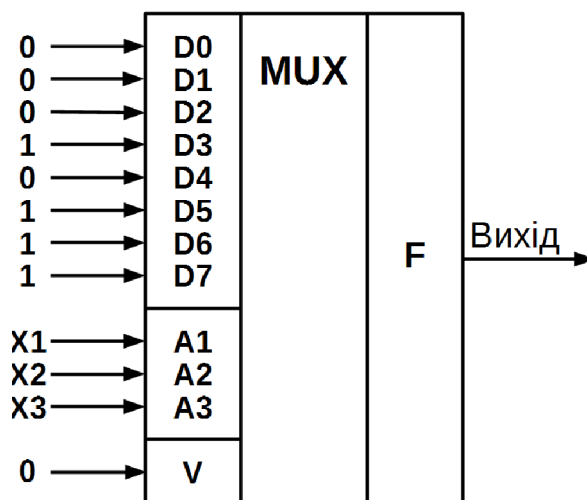


Рисунок 10.27 – Схема мультиплексора

Є можливість вдвічі скоротити необхідне число інформаційних входів мультиплексора (а, отже, використовувати більш просту його структуру), якщо на ці входи подати не тільки фіксовані рівні логічних одиниць і нулів, а й значення окремих вхідних змінних X .

Для цього ще раз зобразимо таблицю істинності проєктованого мажоритарного елементу, розділивши її на чотири групи по два рядки в кожній (таблиця 10.9).

У межах кожної групи можливі тільки чотири значення вихідний булевої функції F : нульове значення на обох наборах - гр.1; одиничне значення на обох наборах - гр.4; збіг функції F зі змінною X_1 (набори 2, 3, 4, 5): протилежні значення функції F і змінної X_1 (у даному прикладі відсутні).

Таблиця 10.8 – Функціонування восьми входового мультиплексора

№ набора	X3	X2	X1	F	
0	0	0	0	0	Y0
1	0	0	1	0	Y1
2	0	1	0	0	Y2
3	0	1	1	1	Y3
4	1	0	0	0	Y4
5	1	0	1	1	Y5
6	1	1	0	1	Y6
7	1	1	1	1	Y7

Таблиця 10.9 – Таблиця істинності проектного мажоритарного елементу

			(A2)	(A1)			Інформаційні входи мультиплексора 4x1 (Рисунок 10.28)
		№ набору	X3	X2	X1	F	D
Гр.1 {		0	0	0	0	0	D0=0
		1	0	0	1	0	
Гр.2 {		2	0	1	0	0	D1=X1
		3	0	1	1	1	
Гр.3 {		4	1	0	0	0	D2=X1
		5	1	0	1	1	
Гр.4 {		6	1	1	0	1	D3=1
		7	1	1	1	1	

Отже, для реалізації відповідного КЦУ можна використовувати чотириходовий мультиплексор, на адресні входи якого подаються змінні X_3 і X_2 , а на інформаційні входи D - значення відповідно до останнього стовпця таблиці 10.9 (рисунок 10.28).

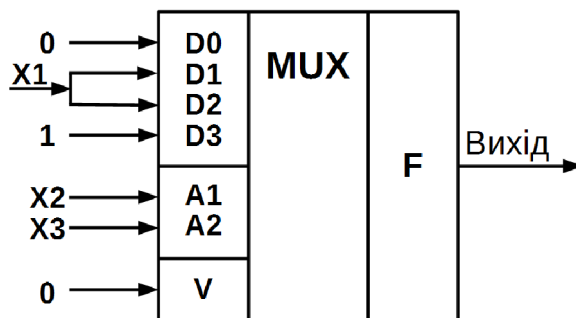


Рисунок 10.28 – Чотириходовий мультиплексор

У результаті є можливість зменшити апаратні витрати використовуючи для реалізації трьох входового мажоритарного елементу лише половину мікросхеми К555КП2.

10.3.2. Побудова КЦП на дешифратор

Для побудови КЦУ можна використовувати дешифратори. Так як активне значення сигналу на кожному виході дешифратора визначає одну з комбінацій вхідних сигналів, то, об'єднуючи за допомогою відповідних логічних елементів деякі вихідні сигнали дешифратора, можна реалізувати КЦУ, задане будь таблицею істинності, з числом наборів, що не перевищує число виходів використовуваного дешифратора.

Розглянемо приклад реалізації трьох входового мажоритарного елементу (таблиця 10.8) на трьох входовому дешифраторі.

Для виходів дешифратора Y_i з активними одиничними значеннями вихідних сигналів (рисунок 10.29, а) можна записати:

$$Y_0 = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1}; Y_1 = \overline{x_3} \cdot \overline{x_2} \cdot x_1;$$

$$Y_2 = \overline{x_3} \cdot x_2 \cdot \overline{x_1}; Y_3 = \overline{x_3} \cdot x_2 \cdot x_1;$$

$$Y_4 = x_3 \cdot \overline{x_2} \cdot \overline{x_1}; Y_5 = x_3 \cdot \overline{x_2} \cdot x_1;$$

$$Y_6 = x_3 \cdot x_2 \cdot \overline{x_1}; Y_7 = x_3 \cdot x_2 \cdot x_1.$$

У такому випадку в СДНФ функція мажоритарної відповідно до таблиці 10.8 може бути представлена у вигляді.

$$F = Y_3 \vee Y_5 \vee Y_6 \vee Y_7 \quad (10.21)$$

Цей вислів і реалізує схема на рисунку 10.29, а.

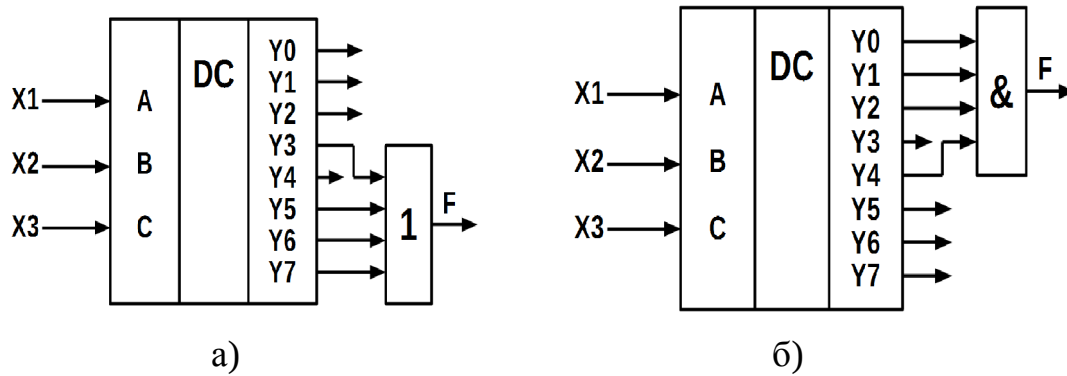


Рисунок 10.29 – Трьохвходовий дешифратор з активними нульовими значеннями

Уявімо ту ж функцію в СКНФ і зробимо деякі перетворення по теоремі де Моргана:

$$\begin{aligned} F &= (x_3 \vee x_2 \vee x_1) \cdot (x_3 \vee x_2 \vee \overline{x_1}) \cdot (x_3 \vee \overline{x_2} \vee x_1) \cdot (\overline{x_3} \vee x_2 \vee x_1) = \\ &= \overline{\overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1}} \cdot \overline{\overline{x_3} \cdot x_2 \cdot x_1} \cdot \overline{\overline{x_3} \cdot x_2 \cdot \overline{x_1}} \cdot \overline{\overline{x_3} \cdot x_2 \cdot x_1}. \end{aligned} \quad (10.22)$$

Проаналізувавши отриманий вираз, а також вирази для Y_i , наведені вище, можна остаточно записати:

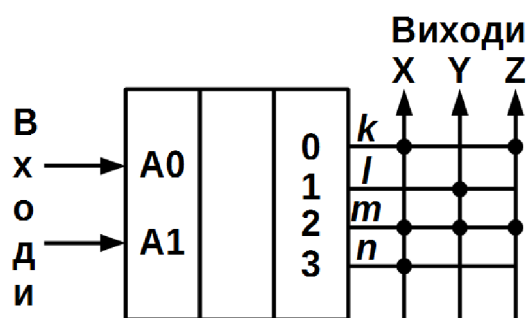
$$F = \overline{Y_0} \cdot \overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_4}. \quad (10.23)$$

У цьому випадку трьохходовий мажоритарний елемент може бути реалізований на трьохходовому дешифраторі з активними нульовими значеннями вихідних сигналів (рисунок 10.29, б).

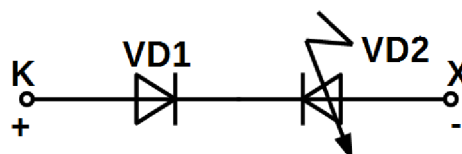
Якщо порівняти між собою реалізації КЦУ на основі мультиплексорів і дешифраторів, то можна відзначити менші апаратні витрати при використанні мультиплексорів. Однак у конкретних умовах проектування КЦУ може виявитися доцільним застосування для цих цілей і дешифраторів, наприклад, коли половина мікросхеми зведеного дешифратора вже використана у складі проектного пристрою, а інша половина залишилася вільною і може бути застосована для побудови якогось КЦП.

10.3.3. Побудова КЦП на постійному запам'ятовуючому пристрої (ПЗП)

ПЗУ являє собою велику інтегральну схему (ВІС), що має N входів і M виходів. Спрощена структура ПЗУ при $N_{\text{вх}} = 2$ і $M_{\text{вих}} = 3$ наведена на рисунку 10.30, а. На вході схеми встановлений дешифратор, перетворюючий комбінації двох розрядного двійкового коду в чотирьохпозиційний унітарний (десятковий) код. При кожній комбінації вхідного ДК на одному з виходів дешифратора з'являється логічна 1, а на інших – нулі.



а)



б)

Рисунок 10.30 – Умовна схема взаємозв'язків між дешифратором і ПЗП

Між виходами дешифратора k, l, m, n і вихідними шинами ПЗУ X, Y, Z включені ланцюжка з двох послідовно включених діодів VD_1 і VD_2 . На рисунку 10.30, б, як приклад показано зв'язок між вихідною шиною До дешифратора і виходом X ПЗУ. У вихідному стані ланцюжка, що зв'язують виходи дешифратора і виходи ПЗУ, струм не проводять і зв'язки між шинами k, l, m, n і X, Y, Z відсутні. При цьому з усіх виходів X, Y, Z знімаються логічні нулі.

Користувач на спеціальному пристрої – програма торі – створює потрібні зв'язки між шинами, подаючи пробивні напруги між певними точками. При цьому відповідні діоди пробиваються, наприклад VD_2 (рисунок 10.30, б), і надалі можуть розглядатися як короткозамкнені.

На рисунку 10.30 а, кружечками показані створені постійні зв'язки, що реалізують таблицю істинності комбінаційного пристрою з трьома виходами (таблиця 10.10).

Таблиця 10.10 – Таблиця істинності комбінаційного пристрою

N	B	A	X	Y	Z	
0	0	0	1	0	1	k
1	0	1	0	1	0	l
2	1	0	1	1	1	m
3	1	1	1	0	0	n

Наприклад, при комбінації вхідних логічних змінних $A = 1, B = 0$ з виходів знімаються сигнали $X = 0; Y = 1; Z = 0$. Таким чином на ПЗУ можна реалізувати потрібну таблицю істинності комбінаційного пристрою, що має кілька виходів. Одна схема ПЗУ може замінити велике число логічних мікросхем малого і середнього рівня інтеграції, тому ПЗУ можуть ефективно використовуватися для створення складних комбінаційних пристроїв. Крім того, ПЗУ знаходять широке застосування як елементи постійної пам'яті, в які заносяться програми, що керують роботою мікропроцесорів і однокристальних мікроЕОМ.

РОЗДІЛ 11

КОДИ, ЩО РОЗПІЗНАЮТЬ ПОМИЛКИ

11.1. Поняття надлишковості

Розпізнавання помилок можливе тільки за наявності додаткової надлишкової інформації, тобто передавана інформація перевищує необхідний мінімум. Якщо оратор дуже коротко про щось розповідає, то часто по його мові не можна оцінити правильність висловлювання. Якщо ж оратор під час виступу дає додаткові відомості, то можлива перевірка правильності сказаного. Така додаткова інформація називається надлишковою (*redundans*, лат. - удосталь).

Наша мова і писемність містять досить велику надлишковість. Тільки завдяки надлишковості можна ідентифікувати орфографічні помилки і друкарські помилки. Це стає зрозуміло, якщо ми розглянемо приклад інформації без надлишковості. Цифра 7 представляється в двійково-десятковому коді як 0111. Якщо в процесі передачі даних 1 помилково передається як 0, то вийде 0101. Це вже цифра 5. Без додаткової інформації ми не дізнаємося, що отримана 5 помилкова.

Якщо цифра 7 передаватиметься в словесній формі як "сім" і в процесі передачі буде змінена одна буква, то помилка буде відразу очевидна (наприклад, "сіи" замість "сім"). Словесна форма містить додаткову інформацію, надлишковість.

Надлишковість існує завжди у тому випадку, якщо окрім власне інформації передаються додаткові відомості, які допомагають при пізнаванні або виправленні помилки.

Щоб визначити наявність помилки, у багатьох випадках вистачає незначної надлишковості. Якщо помилка має бути не лише ідентифікована, але і виправлена, потрібно більше додаткових відомостей – велику надлишковість.

Для виправлення помилок потрібна більша надлишковість, ніж тільки для їх ідентифікації.

Потреба в ідентифікації помилок і їх виправленні привела до появи спеціалізованих кодів.

11.2. Додатковий двійковий код

Кращим прикладом надлишкового кодування для першого знайомства є розширений двійковий код. В табл. 11.1 показаний вже розглянутий двійково-десятковий код. Він містить додатковий розряд, додатковий 5-й біт. Стовпець 5-го біта позначений у таблиці 11.1 як Е.

5-м бітом двійково-десятковий код доповнюється на "парність". Це означає, що він доповнюється так, щоб кількість бітів, що мають значення 1, була парною.

Для десятикової цифри 0 доповнення не потрібно. Десяткова цифра 1 записується як 0001. Кількість бітів, які мають значення 1, рівна 1, тобто непарна. Таким чином, 5-й біт набуває значення 1. У десятиковій цифрі 2 (0010) також тільки один біт дорівнює 1. Отже, Е набуває значення 1. У десятиковій цифрі 3 (0011) два біти мають значення 1. Кількість бітів, рівних 1, є парною. Е набуває значення 0 і т. д.

Таблиця 11.1 – Утворення двійкового додаткового коду з BCD- коду

Десяткова цифра	2^3 8	2^2 4	2^1 2	2^0 1	Е
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	1	0	1
3	0	0	1	1	0
4	0	1	0	0	1
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0

Кожна десяткова цифра представляється 5-бітовою кодовою комбінацією. 5-й біт є додатковою інформацією, тобто надлишковим. Він називається контрольним розрядом або бітом.

Кожна 5-бітова кодова комбінація перевіряється особливою схемою, так званим контролером парності, на парність одиниць (рисунок 11.1). Якщо комбінація парна, то $Z=0$. Якщо непарна, то $Z=1$. При $Z=1$ з'являється повідомлення про помилку.

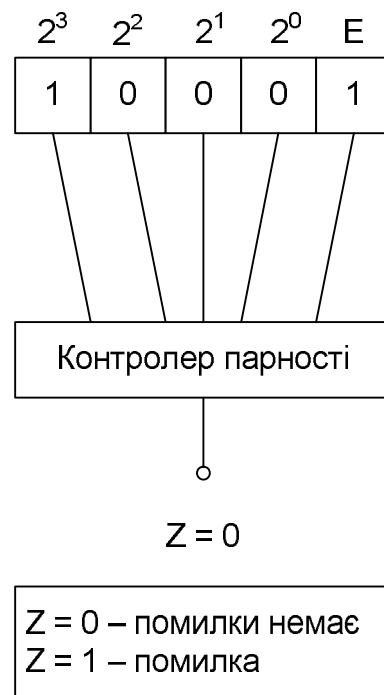


Рисунок 11.1 – Розпізнавання помилки за допомогою контролю парності

Якщо при передачі даних помилково замість 0 передана 1 або замість 1 переданий 0, то виводиться повідомлення про помилку. Визначається тільки те, що передана десяткова цифра помилкова. Невідомо, яка вона повинна бути насправді. Значить, вона не може бути виправлена.

Якщо в 5-бітовій кодовій комбінації два біти помилкові, то повідомлення про помилку не видається, так як число одиничних бітів знову парне. Такі помилки не розпізнаються в розширеному двійковому коді.

Імовірність виникнення такої помилки дуже мала. Якщо вона все ж виникне, то швидше за все в даному сеансі зв'язку мають місце багато помилок, що

розпізнаються з одним невірним бітом, і буде виведено повідомлення про помилку в передачі даних.

11.3. Код «2 із 5»

Крім розширеного двійкового коду існує безліч 5-бітових кодів, з яких так звані коди «2 з 5» мають особливе значення. У цьому коді розпізнавання помилки відбувається так само, як і при двійковому розширеному коді, за допомогою перевірки парності.

Кодувальні таблиці 11.2 для лексикографічного коду, коду Волкінга, коду 7-4-2-1-0 та коду 8-4-2-1-0.

Таблиця 11.2 – Кодувальні таблиці найважливіших кодів 2 з 5

	Лексикографічний код					Код Волкінга					7-4-2-1-0-код					8-4-2-0-1-код				
Номер біта	5	4	3	2	1	5	4	3	2	1	5	4	3	2	1	5	4	3	2	1
Вага	Немає					Немає					7	4	2	1	0	8	4	2	1	0
Десяткова цифра																				
0	0	0	0	1	1	0	0	0	1	1	1	1	0	0	0	1	0	1	0	0
1	1	1	0	0	0	0	0	1	0	1	0	0	0	1	1	0	0	0	1	1
2	1	0	1	0	0	0	0	1	1	0	0	0	1	0	1	0	0	1	0	1
3	1	0	0	1	0	0	1	0	1	0	0	0	1	1	0	0	0	1	1	0
4	1	0	0	0	1	0	1	1	0	0	0	1	0	0	1	0	1	0	0	1
5	0	1	1	0	0	1	0	1	0	0	0	1	0	1	0	0	1	0	1	0
6	0	1	0	1	0	1	1	0	0	0	0	1	1	0	0	0	1	1	0	0
7	0	1	0	0	1	0	1	0	0	1	1	0	0	0	1	1	1	0	0	0
8	0	0	1	1	0	1	0	0	0	1	1	0	0	1	0	1	0	0	0	1
9	0	0	1	0	1	1	0	0	1	0	1	0	1	0	0	1	0	0	1	0

Лексикографічний код і код Волкінга не розрізняють «ваги» двійкових розрядів. У 7-4-2-1-0-коді двійковим розрядам присвоєні ваги 7, 4, 2, 1 і 0. Вага не має значення для десяткової цифри 0, тобто для першого рядка таблиці коду.

У 8-4-2-1-0-кодi двійковим розрядам присвоєні ваги 8, 4, 2, 1 і 0. Це розходження діє обмежено, тобто недійсне для десяткових цифр 0 і 7.

Крім кодових таблиць коду з 0 і 1 також поширені так звані таблиці переведення. У таблицях переведення кожна 1 позначена заштрихованим полем, а кожен 0 - порожнім (таблиця 11.3). Це подання дуже наочне.

Таблиця 11.3 – Таблиці переведення найважливіших кодів 2 з 5

		Лексикографічний код					Код Волкінга					7-4-2-1-0-код					8-4-2-0-1-код				
Номер біта		5	4	3	2	1	5	4	3	2	1	5	4	3	2	1	5	4	3	2	1
Вага		Немає					Немає					7	4	2	1	0	8	4	2	1	0
Десяткова цифра	0																				
	1																				
	2																				
	3																				
	4																				
	5																				
	6																				
	7																				
	8																				
	9																				

11.4. Код «3 із 5»

З 5-бітових комбінацій також можна побудувати код 3 з 5. Кожна 5-бітова комбінація містить три стани 1 і два 0. Часто використовується код Лоренца і шифрувальний код номер 3 у таблиці 11.4.

Для розпізнавання помилки проводиться перевірка на непарність. 5-бітова комбінація безпомилкова тільки за умови, що три її біта мають стан 1 і два біти

стан 0. Якщо це не так, то контролер непарності на виході показує стан 1 і видає повідомлення про помилку (рисунок 11.2).

Таблиця 11.4 – Переведення найважливіших кодів 2 з 5

		Код Лоренца					Шифрувальний код № 3				
Номер біта		5	4	3	2	1	5	4	3	2	1
Вага		4	3	2	1	0	Немає				
Десяткова цифра	0										
	1										
	2										
	3										
	4										
	5										
	6										
	7										
	8										
	9										

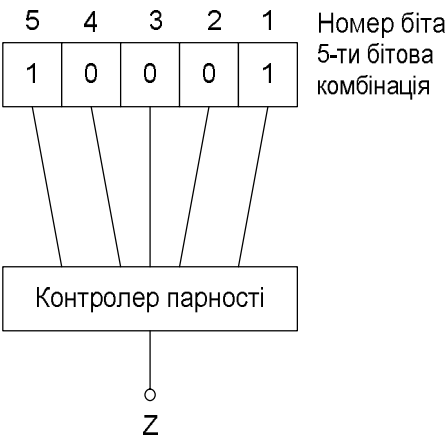


Рисунок 11.2 – Розпізнавання помилки за допомогою контролю непарності

Коди «3 з 5» використовуються насамперед для гарантованої передачі чисел на великі відстані.

11.5. Код «2 із 7»

Коди «2 з 7» складаються з 7-бітових комбінацій. 7-бітові комбінації також називаються 7-бітовим словом. Кожна десяткова цифра представляється 7 бітами. Отримана при цьому надлишковість більша, ніж при поданні цифри тільки 5 бітами.

З 7 бітів 2 біти завжди мають стан 1 і 5 бітів стан 0. Два часто вживані коду «2 з 7» показані у таблиці 11.5.

Це двійково-п'ятірковий код і відбитий двійково-п'ятірковий код. Біти 6 і 7 утворюють код «1 з 2». Біти номер 5, 4, 3, 2 і 0 утворюють код 1 з 5. Така структура коду дозволяє відносно просту обробку 7-бітового слова. Відбитий двійково-п'ятірковий код виходить простим утворенням доповнення. Доповнення утворюється шляхом заміни 1 на 0 в бітах номер 6 і 7.

Таблиця 11.5 – Переведення двійково-п'ятіркового коду і відбитого двійково-п'ятіркового коду

		Двійково-п'ятірковий код							Відображений двійково-п'ятірковий код						
Номер біта		7	6	5	4	3	2	1	7	6	5	4	3	2	1
Вага		5	0	4	3	2	1	0	Немає						
Десяткова цифра	0														
	1														
	2														
	3														
	4														
	5														
	6														
	7														
	8														
	9														

11.6. Принцип дії кодів, що виправляють помилки

Перш ніж помилка може бути виправлена, вона повинна бути виявлена.

Код, що виправляє помилки, також є кодом, що розпізнає помилки.

У порівнянні з кодом, що розпізнає помилки, код з виправленням помилок володіє більшою надлишковістю. Для передачі одного знака потрібно на кілька біт більше. Десяткова цифра представляється, наприклад, 7 бітами, а не як в коді, що розпізнає помилки, 5 бітами.

Велика надлишковість дозволяє виявити помилковий біт. Якщо відомий помилковий біт, то самостійна корекція відносно проста. Якщо помилковий біт містить 1, то правильне значення 0. Якщо помилковий біт містить 0, то правильне значення 1. Тобто помилковий біт повинен бути інвертований.

Код з виправленням помилок проводить самостійну корекцію помилкового біта.

Повідомлення про помилку може видаватися незалежно від самокорекції. У багатьох випадках бажана реєстрація виявленої помилки.

В основному коди з виправленням помилок можуть виправляти тільки одну помилку в слові. Якщо в слові помилкові два біти, то в більшості випадків видається повідомлення тільки про одну помилку. Тобто самостійне виправлення помилок не відбудеться. Імовірність того, що в слові будуть одночасно помилкові два біти, надзвичайно мала. Якщо, однак, така помилка зустрілася, то після повідомлення про помилку потрібно зупинити передачу даних і усунути її причину.

В даний час розроблені коди, які можуть виправляти два і більше бітів у слові. Але їм потрібно ще більше бітів для передачі одного слова, і вони так складно влаштовані, що їх застосування економічно недоцільне. В даний час розроблені коди, які можуть виправляти два і більше бітів у слові. Але їм потрібно ще більше бітів для передачі одного слова, і вони так складно влаштовані, що їх застосування економічно недоцільне.

11.7. Код Хеммінга

Серед кодів, які розпізнають помилки, найчастіше використовується код Хеммінга, також званий Хеммінг-доповненим двійково-десятковим кодом. Для передачі однієї десяткової цифри в код Хеммінга необхідні 7 біт (рисунок 11.3).

За схемою кодування Хеммінга після кожних чотирьох біт даних додаються три контрольних біта.

		Код Хеммінга						
Номер біта		7	6	5	4	3	2	1
Вага		K_0	K_1	2^3	K_2	2^2	2^1	2^0
Десяткова цифра	0							
	1							
	2							
	3							
	4							
	5							
	6							
	7							
	8							
	9							

Номер біта		1	2	3	4	5	6	7
Вага		K_0	K_1	2^3	K_2	2^2	2^1	2^0
Десяткова цифра	0	0	0	0	0	0	0	0
	1	1	1	0	1	0	0	1
	2	0	1	0	1	0	1	0
	3	1	0	0	0	0	1	1
	4	1	0	0	1	1	0	0
	5	0	1	0	0	1	0	1
	6	1	1	0	0	1	1	0
	7	0	0	0	1	1	1	1
	8	1	1	1	0	0	0	0
	9	0	0	1	1	0	0	1

Рисунок 11.3 – Код Хеммінга

Кожна контрольна група коду Хеммінга складається з трьох інформаційних та одного контрольного біта.

За допомогою контрольного біта, три інформаційних біта контрольної групи доповнюються до парного числа 1-станів.

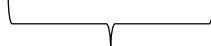
Структура контрольної групи K_2 показана на рисунок 11.3. Інформаційні біти – номер 5, номер 6 і номер 7. Контрольний біт - номер 4. При зображенні десяткової цифри 0 інформаційні біти не мають 1-станів. Тому контрольний біт також не отримує 1-стану.

При передачі десяткової цифри 1 інформаційні біти містять один 1-стан. Контрольний біт приймає в цьому випадку 1-стан. Тоді кількість 1-станів контрольної групи стане парною.

Така ж ситуація має місце для представлення десяткової цифри 2. При зображенні десяткової цифри 3 інформаційні біти містять два 1-стани. Число 1-станів парне. Контрольний біт приймає в цьому випадку 0-стан. Для десяткових цифр від 4 до 9 контрольний біт завжди дорівнює 1, якщо три інформаційних біта містять непарне число 1-станів. Контрольний біт завжди дорівнює 0, якщо три інформаційних біта містять парне число 1-станів.

Таблиця 11.6 – Структура контрольної групи K_2

Номер біта		1	2	3	4	5	6	7
Вага					K_2	2	2	2
Десяткова цифра	0				0	0	0	0
	1				1	0	0	1
	2				1	0	1	0
	3				0	0	1	1
	4				1	1	0	0
	5				0	1	0	1
	6				0	1	1	0
	7				1	1	1	1
	8				0	0	0	0
	9				1	0	0	1



Контрольна група K_2

Структура контрольної групи K_1 складається з інформаційних бітів номер 3, номер 6 і номер 7 і контрольного біта 2 (таблиця. 11.6). За допомогою контрольного біта K_1 три інформаційних біта контрольної групи доповнюються до парного числа 1-станів. Алгоритм - як у контрольної групи K_2 .

Третя контрольна група - K_0 . Вона складається з інформаційних бітів номер 3, номер 5 і номер 7. Контрольний біт K_0 має номер 1 (таблиця 11.7).

За допомогою контрольного біта три інформаційних біта контрольної групи доповнюються до парного числа 1-станів. K_0 завжди дорівнює 1, якщо три інформаційних біта містять непарне число 1-станів.

Встановлення помилки відбувається за допомогою перевірки парності контрольних груп.

Таблиця 11.6 – Структура контрольної групи K_1

Номер біта		1	2	3	4	5	6	7
Вага			K_1	2 ₃			2 ₁	2 ₀
Десяткова цифра	0		0	0			0	0
	1		1	0			0	1
	2		1	0			1	0
	3		0	0			1	1
	4		0	0			0	0
	5		1	0			0	1
	6		1	0			1	0
	7		0	0			1	1
	8		1	1			0	0
	9		0	1			0	1



Контрольна група K_1

У коді Хеммінга кожна контрольна група перевіряється на парність.

Для перевірки 7-бітової комбінації потрібні три контролера парності. Вони підключаються згідно рисунка 11.8.

При непарності контрольної групи на виході відповідного контролера з'являється 1-стан. Цей 1-стан означає помилку.

Таблиця 11.7 – Структура контрольної групи K_0

Номер біта		1	2	3	4	5	6	7
Вага		K_0		2^3		2^2		2^0
Десяткова цифра	0	0		0		0		0
	1	1		0		0		1
	2	0		0		0		0
	3	1		0		0		1
	4	1		0		1		0
	5	0		0		1		1
	6	1		0		1		0
	7	0		0		1		1
	8	1		1		0		0
	9	0		1		0		1

Контрольна група K_0

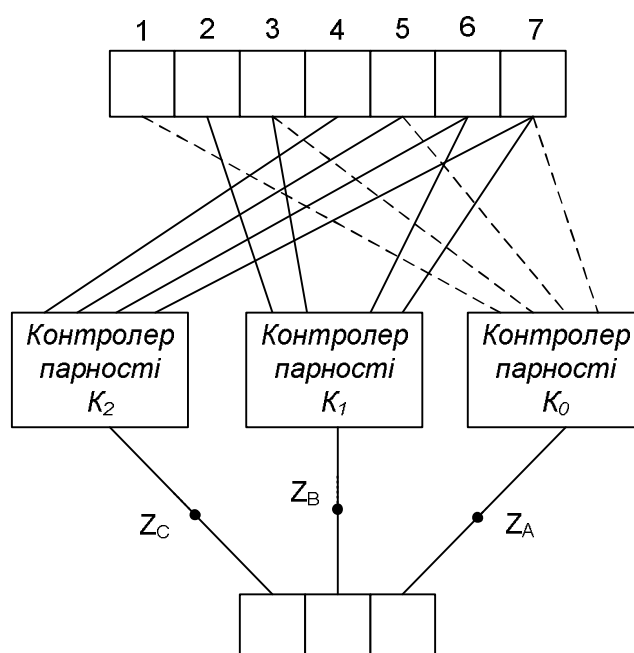


Рисунок 11.8 – Підключення контролерів парності

7-бітова комбінація коду Хеммінга вважається такою, що містить помилку, якщо принаймні один контролер парності повідомляє про помилку.

Отже, розпізнавання помилки відбувається без проблем. Як відбувається її виправлення? Якщо помилка зустрічається в біте номер 1, то контролер парності групи K_0 повідомляє про помилку. Вихід Z_A приймає стан 1. Помилка в біті номер 2 викликає повідомлення про помилку контролера парності групи K_1 ($Z_B=1$). У випадку помилки в біті номер 3 помилку видають контролери парності K_0 і K_1 . В табл. 11.8 показано, які контролери парності видають повідомлення про помилку, і стани виходів Z_A , Z_B і Z_C в разі помилок в окремих бітах.

Таблиця 11.8 – Відповідність повідомлень про помилки вихідним станам контролерів парності

Помилка в номері біта	Повідомлення від контролера про помилку парності	Вихідні стани		
		K_2 Z_C	K_1 Z_B	K_0 Z_A
1	K_0	0	0	1
2	K_1	0	1	0
3	K_0 и K_2	0	1	1
4	K_2	1	0	0
5	K_1	1	0	1
6	K	1	1	0
7	K_0, K_1 и K_2	1	1	1
		2^2	2^1	2^0

При розгляді таблиці 11.8 видно, що вихідні стани Z_A , Z_B і Z_C утворюють двійкове число, яке відповідає номеру помилкового біта. Вихід Z_A відповідає 2^0 , вихід Z_B відповідає 2^1 , вихід Z_C відповідає 2^2 .

Вихідні стани контролерів парності в коді Хеммінга вказують номер помилкового біта.

Таким чином, однозначно ідентифікується помилковий біт. Тепер його можна виправляти. Корекція відбувається самостійно за допомогою цифрової

мікросхеми, яка інвертує біт, позначений як помилковий. Більше робити нічого не треба, тому що якщо помилковий біт дорівнює 1, то його справжнє значення 0. Якщо помилковий біт дорівнює 0, то його справжнє значення 1.

У схемах, які працюють з кодом Хеммінга, кожна 7-бітова комбінація перевіряється в певних точках схеми і в разі необхідності виправляється. Така перевірка і корекція доцільна насамперед після передачі інформації через довгі доріжки на платі, так як довгі доріжки більше схильні до дії перешкод.

Завдання до роділу 11

1. Чим відрізняються поняття бінарний і двійковий?
2. Перетворіть двійкові числа таблиці 11.9 в десяткові.

Таблиця 11.9 – Перетворення двійкових чисел в десяткові.

Десяткова цифра	2^{12}	2^{11}	2^{10}	2^9	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
	4096	2048	1024	512	256	128	64	32	16	8	4	2	1
								1	1	0	0	1	0
						1	1	0	1	0	1	1	1
						1	0	1	0	1	1	0	0
				1	0	1	0	1	1	0	0	0	0
				1	1	1	0	0	0	1	1	0	1
			1	1	1	0	0	0	1	1	1	0	0
		1	1	0	0	1	1	0	0	1	1	0	0
		1	0	0	1	0	1	1	1	0	1	1	1
	1	0	1	1	1	1	0	1	0	0	1	0	0
	1	1	0	0	0	1	1	1	0	1	1	0	1
	1	0	1	0	1	1	0	0	0	0	1	1	1
	1	1	1	1	0	0	0	1	1	0	1	0	0

3. Перетворіть наступні десяткові числа в двійкові:

- а) 1983
- б) 1298
- в) 512
- г) 58
- д) 20000
- е) 17750

- ж) 2730
- з) 9990
- и) 11000
- к) 32000.

4. Перетворіть наступні дійсні двійкові числа в десяткові:

- а) 110110,101;
- б) 100101,1101;
- в) 1010,11101;
- г) 0,10101;
- д) 0,011101.

5. Складання в двійковій системі числення. Розв'яжіть наступні приклади:

- | | | |
|--|--|---|
| а) $\begin{array}{r} 1101 \\ + 100; \\ \hline ? \end{array}$ | б) $\begin{array}{r} 111101 \\ + 1001; \\ \hline ? \end{array}$ | в) $\begin{array}{r} 11011 \\ + 100100; \\ \hline ? \end{array}$ |
| г) $\begin{array}{r} 110\ 001 \\ + 11101; \\ \hline ? \end{array}$ | д) $\begin{array}{r} 111100 \\ + 1100\ 111; \\ \hline ? \end{array}$ | е) $\begin{array}{r} 110011 \\ + 1010100 \\ \hline ? \end{array}$ |
| ж) $\begin{array}{r} 1000,11 \\ + 111,11 \\ \hline ? \end{array}$ | з) $\begin{array}{r} 1100,11 \\ + 11,01 \\ \hline ? \end{array}$ | |

Перевірте результат переведенням в десяткову систему числення.

6. Віднімання в двійковій системі числення. Вирішіть наступні приклади в додатковому коді:

- | | | |
|---|--|--|
| а) $\begin{array}{r} 1101 \\ - 100; \\ \hline ? \end{array}$ | г) $\begin{array}{r} 1001100 \\ - 101010; \\ \hline ? \end{array}$ | ж) $\begin{array}{r} 111000 \\ - 10011; \\ \hline ? \end{array}$ |
| б) $\begin{array}{r} 111101 \\ - 1001; \\ \hline ? \end{array}$ | д) $\begin{array}{r} 100111 \\ - 10111; \\ \hline ? \end{array}$ | з) $\begin{array}{r} 1101 \\ - 10100; \\ \hline ? \end{array}$ |
| в) $\begin{array}{r} 11011 \\ - 1111; \\ \hline ? \end{array}$ | е) $\begin{array}{r} 110011 \\ - 11010; \\ \hline ? \end{array}$ | |

7. Перетворіть наступні десяткові числа в двійково-десятковий код:

а) 10 941;

б) 3 890;

в) 7 863;

г) 7 989.

д) 98 001;

8. Складання в двійково-десятковому коді:

а) 0100

$$\begin{array}{r} +011 \\ \hline \end{array}$$

?

г) 0011

$$\begin{array}{r} +110; \\ \hline \end{array}$$

?

ж) 0110

$$\begin{array}{r} +0110; \\ \hline \end{array}$$

?

д) 1001

$$\begin{array}{r} +1000; \\ \hline \end{array}$$

?

б) 1000

$$\begin{array}{r} +0110; \\ \hline \end{array}$$

?

з) 1001

$$\begin{array}{r} +0110. \\ \hline \end{array}$$

?

е) 1001

$$\begin{array}{r} +0001; \\ \hline \end{array}$$

?

в) 0111

$$\begin{array}{r} +1001; \\ \hline \end{array}$$

?

9. Складання в двійково-десятковому коді:

а) 1000

$$\begin{array}{r} -0111; \\ \hline \end{array}$$

?

д) 0111

$$\begin{array}{r} -0011; \\ \hline \end{array}$$

?

б) 1001

$$\begin{array}{r} -1000; \\ \hline \end{array}$$

?

е) 0111

$$\begin{array}{r} -1001; \\ \hline \end{array}$$

?

в) 0111

$$\begin{array}{r} -0110; \\ \hline \end{array}$$

?

ж) 1000

$$\begin{array}{r} -0011; \\ \hline \end{array}$$

?

г) 1001

$$\begin{array}{r} -0111; \\ \hline \end{array}$$

?

з) 0011

$$\begin{array}{r} -1000; \\ \hline \end{array}$$

?

10. Переведіть шістнадцяткові числа в десяткові і двійкові

- а) AB1;
- б) 87F2;
- в) E605;
- г) BCB4;
- д) 12B31;
- е) BA1A;
- ж) 31 459;
- з) 1A1B.

11. Переведіть десяткові числа в шістнадцяткові і двійкові

- а) 100;
- б) 259;
- в) 1 020;
- г) 1 983;
- д) 10 000;
- е) 126;
- ж) 18 020;
- з) 999.

12. Перекодуйте числа в таблиці 11.10. У кожному вільному полі треба записати результат. Десяткове число 2560, наприклад, повинно перетворитися в двійкове число, в шістнадцяткове число, у вісімкове число і у BCD- число.

Таблиця 11.10 – Задача на кодування

Десяткове число	Двійкове число	Шістнадцятков е число	Вісімкове число	BCD-число				
2560								
	10011110110							
		AF36						
			1772					
				11	1001	0111	0001	1000
		1A2BC						

13. Поясніть структуру коду з надлишком 3.
14. Що розуміють під надлишком?
15. Як побудований однокроковий код?
16. Назвіть три коди з розпізнаванням помилки і поясніть на прикладі, як робиться розпізнавання помилки.
17. Що таке перевірка парності?
18. Поясніть, як видаються негативні числа в двійковій системі числення.
19. Чим розрізняються код з розпізнаванням помилки і код з виправленням помилки?
20. Як влаштований код Хеммінга і як відбувається виправлення помилок?

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Сергиенко Д.Б. Цифровая обработка сигнала. СПб.: Питер, 2002.- 608с.
2. Бабич М.П., Жуков И.А. Компьютерная схемотехника. Киев.: «МК Пресс» 2004.412с.
3. Янсен Й. Курс цифровой электроники в четырех томах, том 1. Основы цифровой электроники на интегральных схемах. Москва.: Мир. 1987.- 331с.
4. Груба В.И., Никулин Э.К., Оголобченко А.С. Технические средства автоматики. Киев. : «МК – Пресс», 2004.169с.
5. Бойт К. Цыфровая электроника. М.: Техносфера. 2007. 471с.
6. Брамер Ю.А., Пащук И.Н. Импульсная техника. М.: Высшая школа.1985.-320с
7. БабічМ.П., Жуков І.А., і інші. Комп'ютерна схемотехніка. Навчально методичний посібник з курсового проектування для студентів напрямів підготовки 0804 «Комп'ютерні науки» та 0915 «Комп'ютерна інженерія». Київ. -2004.. 161с.
8. Лебедев Ю.А. Электроника и микросхемотехника. /курс лекций/. Херсон.: 2002. 130с.
9. Джонс М. Электроника – практический курс. М.: Техносфера 2006. – 510с.
10. Баскаков С.И. Радиотехнические цепи и сигналы. – М.: Высшая школа, 2000. – 462с.
11. Цифровые интегральные микросхемы.: Справочник / П.П. Мальцев, Н.С. Долидзе и др. – М.: Радио и связь, 1994. – 240с.
12. Баскаков С.И. Радиотехнические цепи и сигналы: практический подход. – М.: Высшая школа, 2002. – 210с
13. Френкс Л. Теория сигналов. Перевод с английского под ред. Д.Э.Вакмана. – М.: Сов. Радио, 1974. 344с.

14. Айфичер Э. Джервис Б. Цифровая обработка сигналов: практический подход. - М.: Вильямс, 2004. 992с.
15. Каплан Д., Уайт К. Практические основы аналоговых и цифровых схем. – М.: Техносфера., 2006. 175с.
16. Корыс.Р., Шмидт – Вальтер Х. Справочник инженера – схемотехника. – М.: Техносфера. 2006. 608с.
17. Ховрыц П., Хил У. Искусство схемотехники. Том 1. – М.: Мир,1984. -600с
18. Ховрыц П., Хил У. Искусство схемотехники. Том 2 – М.: Мир,1984. -592с.
19. Гальперин М.В Практическая схемотехника в промышленной автоматике. М.: Энергоатомиздат, 1987. – 320с.
20. Гусев В.Г., Гусей Ю.М .Электроника и микропроцессорная техника М.: Высшая школа, 2008. – 799с.

Каганюк Олексій Казимирович, Поліщук Микола Миколайович
Наукове видання
КОМП'ЮТЕРНА СХЕМОТЕХНІКА

Навчальний посібник

Комп'ютерне верстання: М.М. Поліщук
Дизайн обкладинки: **М.М. Поліщук**

Підписано до друку **15.09.2016 р.**
Формат 60×84/16. Папір офсетний.
Умовн. друк. арк. **24,25**. Обл. вид. арк. **21,5**
Тираж пр. Зам. №

Друк - РВВ Луцького НТУ. 43018, Луцьк, вул. Львівська, 75.
Свідectво Держкомтелерадіо України ДК № 4123 від 28.07.2011 р.

Каганюк О.К., Поліщук М.М.

К175 Комп'ютерна схемотехніка: Навчальний посібник. – Луцьк: РВВ Луцького НТУ, 2016. – 236 с.

ISBN 978-617-672-126-0

Вданому навчальному посібнику представлені матеріали що до вивчення таких розділів, як Інформаційні основи цифрових автоматів, дискретизація аналогових сигналів, алгебра логіки та синтез цифрових електронних схем, логічні елементи, реалізація логічних функцій в різних елементних базах, параметри та характеристики інтегральних мікросхем, двійкові коди та системи числення, методи аналізу та синтезу комбінаційних схем, генератори тактових імпульсів на логічних елементах, функціональні пристрої цифрової комп'ютерної електроніки.

Розраховано на студентів інженерно-технічних спеціальностей вищих навчальних закладів.

ББК 973.2-04я73-5
УДК 004.31 (075.8)